

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002 年 6 月 27 日 (27.06.2002)

PCT

(10) 国際公開番号
WO 02/51009 A1

(51) 国際特許分類⁷: H03K 17/04, G11B 7/125
(21) 国際出願番号: PCT/JP01/11292
(22) 国際出願日: 2001 年 12 月 21 日 (21.12.2001)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2000-388148
2000 年 12 月 21 日 (21.12.2000) JP

(IKEDA, Masaki) [JP/JP]; 〒229-1133 神奈川県 相模原市 南橋本 1-2-0-1 2-4 0 2 Kanagawa (JP). 藤田 健 (FUJITA, Takeshi) [JP/JP]; 〒259-1138 神奈川県 伊勢原市 神戸 6 6 3-3-2 0 2 Kanagawa (JP). 広瀬 英明 (HIROSE, Hideaki) [JP/JP]; 〒226-0011 神奈川県 横浜市 緑区 中山町 3 2 0-2-3 0 2 Kanagawa (JP). 丸尾 章郎 (MARUO, Akio) [JP/JP]; 〒243-0431 神奈川県 海老名市 上今泉 2-5-3 9-5 0 4 Kanagawa (JP).

(74) 代理人: 森 哲也, 外 (MORI, Tetsuya et al.); 〒101-0032 東京都 千代田区 岩本町二丁目 3 番 3 号 友泉岩本町ビル 8 階 日栄国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): DE, KR, US.

(71) 出願人 (米国を除く全ての指定国について): 旭化成マイクロシステム株式会社 (ASAHI KASEI MICROSYSTEMS CO., LTD.) [JP/JP]; 〒163-1031 東京都 新宿区 西新宿三丁目 7 番 1 号 Tokyo (JP).

添付公開書類:

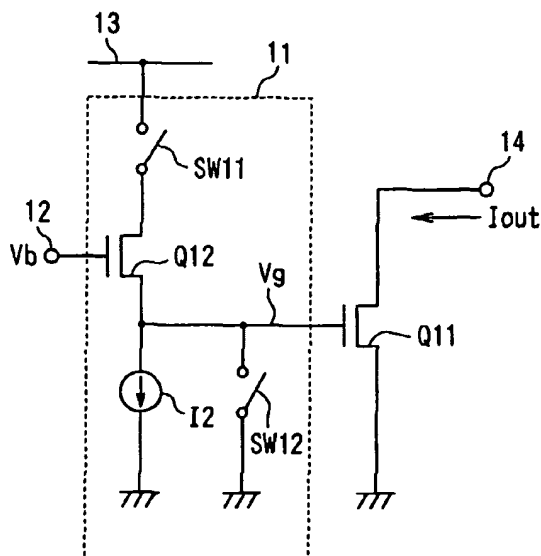
- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

(72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 相羽 祐丞 (AIBA, Yusuke) [JP/JP]; 〒243-0021 神奈川県 厚木市 岡田 4-2 5-1 4-4 0 2 Kanagawa (JP). 池田 雅紀

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: HIGH-SPEED CURRENT SWITCH CIRCUIT

(54) 発明の名称: 高速電流スイッチ回路



(57) Abstract: A high-speed current switch circuit comprises an N-type MOS transistor (Q11) for switching and outputting a current and a control circuit (11) for switching control of this MOS transistor (Q11). The control circuit (11) forms a source follower of an N-type MOS transistor (Q12) and a constant current source (I2) that is its load. A switch (SW11) is connected to the MOS transistor (Q12) to control a current flowing through the MOS transistor (Q12) by switching. The control circuit (11) includes a switch (SW12) for grounding the gate of the MOS transistor (11). The source of the MOS transistor (Q12) is connected to the gate of the MOS transistor (Q11). This construction enables high-speed switching action even if a large current flows through an output transistor.

[続葉有]

WO 02/51009 A1

WO 02/51009 A1

(57) 要約:

この発明の高速電流スイッチ回路は、電流をスイッチングして出力するN型のMOSトランジスタQ11と、このMOSトランジスタQ11をスイッチング制御する制御回路11とを備えている。制御回路11は、N型のMOSトランジスタQ12と、その負荷である定電流源12によりソースフォロアを形成している。MOSトランジスタQ12には、MOSトランジスタQ12に流れる電流をスイッチング制御するために、スイッチSW11が接続されている。また、制御回路11は、MOSトランジスタ11のゲートを接地自在なスイッチSW12を含んでいる。MOSトランジスタQ12のソースは、MOSトランジスタQ11のゲートに接続されている。これにより、出力トランジスタに大電流を流すような場合であっても、それを高速でスイッチング動作できる。

WO 02/51009

PCT/JP01/11292

明 細 書

高速電流スイッチ回路

5 技術分野

本発明は、トランジスタをスイッチングすることにより、そのトランジスタに流れる電流を高速にスイッチングする高速電流スイッチ回路、およびそれを利用した高周波電流源に関するものである。

また、本発明は、発振周波数の安定化を図るようにした発振器に関するものである。

さらに、本発明は、発振器の出力を、高速電流スイッチ回路およびそれを利用した高周波電流源のスイッチング制御に利用することで、高周波電流を取り出すようにした、高周波重畳回路に関するものである。

さらにまた、本発明は、例えばCD-R、CD-RW、DVD-RAMなどの記憶媒体のデータ読み書き装置において、レーザダイオードを駆動するレーザダイオード駆動回路として好適なものである。

背景技術

CD-R、CD-RW、DVD-RAMなどの記憶媒体のデータ読み書き装置においては、その記憶媒体にデータを読み書きするための光を照射するために、レーザダイオードおよびレーザダイオード駆動回路が用いられる。

一般にレーザダイオード駆動回路は、図19に示すように、発振器1と、高速電流スイッチ回路（または高周波電流源）2と、高速電流スイッチ回路3とから構成されている。

高速電流スイッチ回路（高周波電流源）2は、発振器1の発振出力に

WO 02/51009

PCT/JP01/11292

基づきレーザダイオード 4 に流れる電流をスイッチングするようになっており、高周波重畳回路を形成している。また、高速電流スイッチ回路 3 は、外部からの信号に基づきレーザダイオード 4 に流れる電流をスイッチングするようになっている。

- 5 この種のレーザダイオード駆動回路には、レーザダイオードを駆動するための大電流を高速で立ち上げ、かつその立ち上げの際にその電流のオーバシュートが少ない高速電流スイッチ回路が要求されている。

従来からの高速電流スイッチ回路の一例としては、図 20 に示すものが知られている。

- 10 この従来回路は、出力用の MOS トランジスタ Q1 と、MOS トランジスタ Q1 のドレインに接続されるスイッチ SW1 と、MOS トランジスタ Q1 に所定のバイアス電圧を供給する MOS トランジスタ Q2 と、MOS トランジスタ Q2 に定電流を供給する定電流源 I1 とを備えている。

- 15 スイッチ SW1 は、図 21 に示すようにスイッチング用の MOS トランジスタ Q3 から構成されている。MOS トランジスタ Q3 は、そのゲートにバッファ BF を介してスイッチング信号が印加されるようになっている。

- 20 このような構成からなる従来回路では、スイッチ SW1 を開閉制御することにより、MOS トランジスタ Q1 に流れる電流がスイッチングされる。

- 25 この従来回路では、図 20 に示すように、MOS トランジスタ Q1 の電流経路にスイッチ SW1 が挿入されているので、スイッチ SW1 のオン抵抗により電圧降下が生じる。このため、回路としての出力コンプライアンスレンジを確保するには、スイッチ SW1 のオン抵抗を小さくする必要がある。

WO 02/51009

PCT/JP01/11292

そのためには、スイッチSW1として使用される図21に示すMOSトランジスタQ3のサイズ、すなわちチャンネル幅(W)とチャンネル長(L)の比(W/L)を大きくせざるを得ず、その結果、MOSトランジスタQ3のゲート容量C_gが大きくなってしまう。

- 5 従って、この従来回路では、スイッチSW1を高速にスイッチングするのが困難であるという不具合があった。また、スイッチSW1によるチャージインジェクションにより、出力電流の立ち上がり時に、非常に大きなオーバシュートが発生しやすいという不具合もあった。

- 10 一方、従来からの高速電流スイッチ回路の他の例として、図22に示すものが知られている。

- この他の従来回路は、出力用のMOSトランジスタQ1と、MOSトランジスタQ1に所定のバイアス電圧を供給するMOSトランジスタQ2と、MOSトランジスタQ2に定電流を供給する定電流源I1とを備えている。そして、MOSトランジスタQ1のゲートとMOSトランジスタQ2のゲートとをスイッチSW2介して接続するとともに、MOSトランジスタQ1のゲートがスイッチSW3を介して接地されるようになっている。
- 15

- このような構成からなるこの他の従来回路では、スイッチSW2とスイッチSW3とを交互に閉じることによりMOSトランジスタQ1のゲートの印加電圧を制御し、これによりMOSトランジスタQ1に吸入される電流I_{out}がスイッチングされる。
- 20

- すなわち、スイッチSW2を閉状態にするとともにスイッチSW3を開状態とすることにより、MOSトランジスタQ1のゲート電圧をMOSトランジスタQ2から供給されるバイアス供給電圧V_bとして、MOSトランジスタQ1をオンとしている。他方、スイッチSW2を開状態にするとともにスイッチSW3を閉状態に切り換えることにより、MO
- 25

WO 02/51009

PCT/JP01/11292

SトランジスタQ1のゲート電圧を接地電位 V_{ss} として、MOSトランジスタQ1をオフとしている。

- この他の従来回路では、MOSトランジスタQ1のゲート電圧が、接地電位 V_{ss} からバイアス供給電圧 V_b まで立ち上がる立ち上がり時間
- 5 τ は、次の(1)式により決まる。

$$\tau = R \times C_g \quad \dots (1)$$

ここで、 R はスイッチSW2のオン抵抗 R_{on} とトランジスタQ2の $1/G_m$ の値との和であり、 C_g はMOSトランジスタQ1のゲート容量である。

- 10 これより、高速に電流をスイッチングさせるには、スイッチSW2のオン抵抗 R_{on} を小さくする、もしくはトランジスタQ1の $1/G_m$ の値を小さくする必要がある。

- スイッチSW2のオン抵抗を小さくするには、スイッチSW2として使用される図21に示すMOSトランジスタQ3のサイズ、すなわちチャンネル幅(W)とチャンネル長(L)の比(W/L)を大きくせざるを得
- 15 ず、その結果、MOSトランジスタQ3のゲート容量 C_g が大きくなってしまう。

- 従って、他の従来回路でもスイッチSW2を高速にスイッチングするのが困難であるという不具合があった。また、スイッチSW2によるチャージインジェクションがトランジスタQ1のゲートに対して生じるため、出力電流の立ち上がり時に非常に大きなオーバシュートが発生しやすいという不具合もあった。
- 20

- MOSトランジスタQ2の $1/G_m$ を小さくするにはMOSトランジスタQ2を流れる電流 I_1 を大きくする、またはMOSトランジスタQ2のサイズ、すなわち W/L の値を大きくする必要がある。しかし、電
- 25 流 I_1 を大きくすることは、回路内での消費電流が増加するという不具

WO 02/51009

PCT/JP01/11292

合がある。

MOSトランジスタQ2のサイズ、すなわち W/L の値を大きくすることは、MOSトランジスタQ1とMOSトランジスタQ2とがカレントミラーの関係にあることから、出力電流を一定に保つ場合には、MOSトランジスタQ1のサイズもまた大きくすることになる。その結果、MOSトランジスタQ1のゲート容量が大きくなることから、回路面積を増加させるとともに、スイッチングの高速化に大きな効果がないという不具合がある。

また、MOSトランジスタQ1に大電流を流す必要がある場合には、MOSトランジスタQ1のトランジスタサイズ(W/L)を大きくせざるを得ず、その結果、MOSトランジスタQ1のゲート容量 C_g が大きくなってしまふ。その結果、立ち上がり時間 τ が長くなり、この他の従来回路でも、MOSトランジスタQ1を高速にスイッチングするのが困難であるという不具合があった。

この種のレーザダイオード駆動回路で用いられる発振器においては、その発振出力が、高速電流スイッチ回路の制御に用いられることから、その発振周波数が回路からの不要輻射ノイズの周波数を決めるものとなる。このため、不要輻射ノイズに対する対策の容易さという点から、発振周波数のばらつきがすくないこと、さらに温度・電源電圧変動により動作中に周波数が変動しにくい発振器が要求されている。

従来、図19に示す発振器の一例としては、図23に示すようなリングオシレータが知られている。

このリングオシレータは、例えばCMOSインバータなどのインバータ(反転素子)4を、図23に示すように奇数段直列に接続し、最終段の出力を初段の入力に帰還させて自己発振させるものである。

このようなリングオシレータの発振周波数 f は、次の(2)式で表さ

WO 02/51009

PCT/JP01/11292

れる。

$$f = 1 / 2 n \tau \quad \cdots (2)$$

ここで、 n はインバータ4の接続段数、 τ はインバータ4の一段あたりの遅延時間である。

- 5 上記のような発振器では、動作温度の変化、電源電圧の変化、製造プロセス条件の差異などに起因してインバータ4の動作速度が変化し、発振周波数が大きく変動しやすいという不都合があった。

さらに、発振周波数のばらつきを改善しようとした発振器として、図24に示すものが知られている。すなわち、この発振器は、インバータ
10 に供給される電流値 i を制限する電流リミッタをそれぞれインバータ5に設け、発振周波数のばらつきをなくすようにしたものである。電流リミッタの電流値 i を可変にすることにより、発振周波数を変化することが可能である。

しかし、この発振器においても電源電圧の変動や容量素子 C_m の容量
15 値のばらつきにより発振周波数がばらつくという不具合がある。また、電流リミッタの制限電流の値が大きな場合には、図23の発振器と同じように発振周波数がばらつくという問題がある。

そこで、本発明の第1の目的は、上記の点に鑑み、高速に動作できるようにした高速電流スイッチ回路を提供することにある。

- 20 本発明の第2の目的は、上記の高速電流スイッチ回路を組み合わせることにより、高周波電流を生成するようにした高周波電流源を提供することにある。

本発明の第3の目的は、消費電流を増加させることなく、高速に動作できる高速電流スイッチ回路を提供することにある。

- 25 本発明の第4の目的は、出力電流の立ち上がり時のオーバシュートが少なく、高速に動作できる高速電流スイッチ回路を提供することにある

WO 02/51009

PCT/JP01/11292

。

本発明の第5の目的は、発振周波数の安定化およびその発振精度の向上を図るようにした発振器を提供することにある。

5 本発明の第6の目的は、高速かつ安定に動作する高周波重畳回路を提供することにある。

発明の開示

10 本発明の高速電流スイッチ回路は、電流をスイッチングして出力する出力トランジスタと、ソースフォロアで形成され、前記出力トランジスタをスイッチング制御する制御回路とを備え、前記ソースフォロアの出力端子を前記出力トランジスタの入力端子に接続するとともに、前記ソースフォロアは第1のスイッチを介在して電源に接続するようにした。

15 本発明の高速電流スイッチ回路は、前記出力トランジスタの入力端子を接地状態または所定の電位状態とする第2のスイッチを、前記入力端子に設けるようにした。

本発明の高速電流スイッチ回路は、前記ソースフォロアの入力端子に供給する所定のバイアス電圧を発生するバイアス電圧発生回路を、さらに備えるようにした。

20 本発明の高速電流スイッチ回路は、前記バイアス電圧発生回路に含まれる所定のトランジスタと前記出力トランジスタとが、カレントミラー関係を有するようにした。

本発明の高速電流スイッチ回路は、前記バイアス電圧発生回路が、発生バイアス電圧を安定化する安定化手段を含むようにした。

25 このように、本発明の高速電流スイッチ回路では、出力トランジスタの入力電圧の制御を、ソースフォロアを利用し、スイッチを介さず直接

WO 02/51009

PCT/JP01/11292

に行うようにした。このため、その出力トランジスタに大電流を流すような場合であっても、それを高速でオーバシュートを少なくスイッチング動作させることができる。

また、本発明の高速電流スイッチ回路では、バイアス電圧発生回路を
5 設けるとともに、このバイアス電圧発生回路に含まれる所定のトランジスタと出力トランジスタとが、カレントミラー関係を有するようにした。従って、この場合には、出力トランジスタに流れる電流を、その両トランジスタのサイズ比により任意に設定することができる。

さらに、本発明の高速電流スイッチ回路では、バイアス電圧発生回路
10 が発生バイアス電圧を安定化する安定化手段を含むようにした。従って、この場合には、ソースフォロアがオンオフ動作する際に、そのバイアス電圧の変動を抑制することができる。

本発明の高周波電流源は、電流吸入型の高速電流スイッチ回路と、電流供給型の高速電流スイッチ回路とを備え、外部からの制御信号により
15 高周波電流を生成するものであって、前記電流吸入型の高速電流スイッチ回路は、電流をスイッチングして出力する第1の出力トランジスタと、第1のソースフォロアで形成され、前記第1の出力トランジスタをスイッチング制御する第1の制御回路とを備え、前記第1のソースフォロア
20 の出力端子を前記第1の出力トランジスタの入力端子に接続するとともに、前記第1のソースフォロアは第1のスイッチを介在して電源電圧を供給するように構成し、前記電流供給型の高速電流スイッチ回路は、電流をスイッチングして出力する第2の出力トランジスタと、第2の
25 ソースフォロアで形成され、前記第2の出力トランジスタをスイッチング制御する第2の制御回路とを備え、前記第2のソースフォロアの出力端子を前記第2の出力トランジスタの入力端子に接続するとともに、前記第2のソースフォロアは第2のスイッチを介在して接地するように構成

WO 02/51009

PCT/JP01/11292

した。

このように、本発明の高周波電流源では、高速でスイッチング動作する電流供給型と電流吸入型の高速電流スイッチ回路を組み合わせるようにしたので、直流成分のない高周波電流を生成できる。

- 5 本発明の他の高速電流スイッチ回路は、外部から電流を設定する電流設定回路と、この電流設定回路で設定される設定電流の電流経路を、入力信号に応じて第1の電流経路と第2の電流経路に切り換える切換回路と、第1の電流経路に流れる設定電流に対して所定の電流比の出力電流を取り出すとともに、その一部に帰還回路を含む電流ミラー回路と、前記帰還回路の位相余裕を調整して前記電流ミラー回路の出力電流の立ち上がり
10 を最適化する出力電流最適化回路と、を備えるようにした。

- 本発明の他の高速電流スイッチ回路は、外部から電流を設定する電流設定回路と、この電流設定回路で設定される設定電流の電流経路を、入力信号に応じて第1の電流経路と第2の電流経路とに選択的に切り換える
15 第1および第2のトランジスタを含む切換回路と、前記第1のトランジスタに対して直列接続される第3のトランジスタと、この第3のトランジスタを駆動する第1のソースフォロアと、前記第3のトランジスタとカレントミラーの関係を形成して所望の出力電流を取り出す第4のトランジスタと、この第4のトランジスタを前記第1のソースフォロアと
20 同一条件で駆動する第2のソースフォロアとを含み、前記第3のトランジスタと前記第1のソースフォロアとの間で帰還回路を形成するとともに、前記第1および第2のソースフォロアを前記第3のトランジスタの出力に応じて駆動するようにした電流ミラー回路と、前記帰還回路の位相余裕を調整して前記電流ミラー回路の出力電流の立ち上がり
25 を最適化する出力電流最適化回路と、を備えている。

 本発明の他の高速電流スイッチ回路は、前記出力電流最適化回路が、

WO 02/51009

PCT/JP01/11292

前記第 1 のソースフォロア出力側と前記第 2 のソースフォロア出力側との間に接続し、低抵抗と高抵抗との切り換えが自在な可変抵抗素子と、前記第 4 のトランジスタの出力電流の立ち上がり時に、その出力電流を所定値と比較し、出力電流が所定値を上回った場合に、前記可変抵抗素子を低抵抗から高抵抗に切り換える比較手段と、前記第 4 のトランジスタの出力電流の立ち下がり時に、前記可変抵抗素子を高抵抗から低抵抗に切り換える初期化手段と、からなる。

本発明の他の高速電流スイッチ回路は、前記可変抵抗素子が、MOS トランジスタからなる。

10 本発明の他の高速電流スイッチ回路は、出力電流最適化回路が、前記第 1 のソースフォロア出力側と前記第 2 のソースフォロア出力側との間に、所定の抵抗値からなる抵抗素子を接続するようにした。

本発明の他の高速電流スイッチ回路は、前記抵抗素子が、ポリシリコンからなる。

15 このように、本発明の他の高速電流スイッチ回路では、一部に帰還回路を含む電流ミラー回路を備えるとともに、その帰還回路の位相余裕を調整して電流ミラー回路の出力電流の立ち上がりを最適化する出力電流最適化回路を設けるようにした。

20 このため、本発明の他の高速電流スイッチ回路によれば、出力電流の立ち上がり時間を速め、かつそのオーバシュートを抑えることができる。

本発明の発振器は、外部からの電流または電圧に基づいて発振周波数が制御される発振手段と、定電流源回路と、前記発振手段の発振出力に基づいて前記定電流源回路からの定電流によりコンデンサを充電する充電手段と、前記コンデンサの充電電荷と所定の基準値とに基づいて前記発振手段の発振周波数を制御する前記電流または電圧を生成する制御手

WO 02/51009

PCT/JP01/11292

段と、を備えている。

本発明の発振器は、前記定電流源回路が、バンドギャップ電圧に基づいて前記定電流を生成するようになっている。

5 本発明の発振器は、前記制御手段が、演算増幅器と積分用コンデンサとからなる積分器を含み、前記積分器は、前記コンデンサの充電電圧と所定の基準電圧とに基づいて積分を行うとともに、その積分出力に基づいて前記発振手段の発振周波数を制御する前記電流または電圧を生成するようになっている。

10 本発明の発振器は、前記発振手段が電流制御発振器であり、かつ、前記制御手段が前記積分器の出力を電流に変換する電圧－電流変換回路を含み、この電圧－電流変換回路の出力電流を前記電流制御発振器に供給するようになっている。

15 本発明の発振器は、前記定電流源回路が、その生成する定電流を抵抗の値により可変自在に構成し、前記抵抗の値の可変に基づいて前記発振手段の発振周波数を可変するようになっている。

本発明の発振器は、前記発振手段の発振出力を分周する分周器を、前記発振手段と前記制御手段との間に介在するようにした。

本発明の発振器は、前記分周器が、その分周比を可変自在に構成し、前記分周比に基づいて発振周波数を可変にするようになっている。

20 このような構成からなる本発明の発振器によれば、発振周波数を、コンデンサを充電する定電流値や、発振周波数を制御する電流または電圧を生成するときに必要な所定の基準値（基準電圧）に基づいて決定できるようになり、これら各値は電源電圧や動作温度の変化の影響をできるだけ受けずに得ることができる。

25 このため、本発明の発振器によれば、発振周波数が電源電圧や動作温度の変化の影響を受けるのをできるだけ排除できるので、発振周波数の

WO 02/51009

PCT/JP01/11292

安定化、および発振精度の向上を図ることができる。

本発明の高周波重畳回路は、発振器と、この発振器の発振出力に基づいて出力電流を高速にスイッチングする高速電流スイッチ回路と、を備えたものであって、前記高速電流スイッチ回路は、電流をスイッチングして出力する出力トランジスタと、ソースフォロアで形成され、前記出力トランジスタをスイッチング制御する制御回路とを備え、前記ソースフォロアの出力端子を前記出力トランジスタの入力端子に接続するとともに、前記ソースフォロアはスイッチを介在して電源に接続するようにした。

10 本発明の高周波重畳回路は、前記発振器が、外部からの電流または電圧に基づいて発振周波数が制御される発振手段と、定電流源回路と、前記発振手段の発振出力に基づいて前記定電流源回路からの定電流によりコンデンサを充電する充電手段と、前記コンデンサの充電電荷と所定の基準値とに基づいて前記発振手段の発振周波数を制御する前記電流または電圧を生成する制御手段と、を備えている。

このような構成からなる本発明の高周波重畳回路によれば、レーザダイオードを高速かつ安定に動作させることができる。

20 本発明の高周波重畳回路は、発振器と、この発振器の発振出力に基づいて出力電流を高速にスイッチングする高速電流スイッチ回路と、を備えたものであって、前記高速電流スイッチ回路は、外部から電流を設定する電流設定回路と、この電流設定回路で設定される設定電流の電流経路を、入力信号に応じて第1の電流経路と第2の電流経路に切り換える切替回路と、第1の電流経路に流れる設定電流に対して所定の電流比の出力電流を取り出すとともに、その一部に帰還回路を含む電流ミラー回路と、前記帰還回路の位相余裕を調整して前記電流ミラー回路の出力電流の立ち上がりを最適化する出力電流最適化回路と、を備えている。

WO 02/51009

PCT/JP01/11292

このような構成からなる本発明の高周波重畳回路によれば、レーザダイオードの動作の立ち上がりを速め、かつ安定に駆動することができる。

5 図面の簡単な説明

図 1 は、本発明の高速電流スイッチ回路の第 1 実施形態の構成を示す回路図である。

図 2 は、本発明の高速電流スイッチ回路の第 2 実施形態の構成を示す回路図である。

10 図 3 は、本発明の高速電流スイッチ回路の第 3 実施形態の構成を示す回路図である。

図 4 は、本発明の高速電流スイッチ回路の第 4 実施形態の構成を示す回路図である。

15 図 5 は、本発明の高周波電流源の実施形態の概略的な構成を示すブロック図である。

図 6 は、図 5 の具体的な構成を示す回路図である。

図 7 は、本発明の高周波電流源の実施形態の出力波形例を示す波形図である。

20 図 8 は、本発明の他の高速電流スイッチ回路の第 1 実施形態の構成を示す回路図である。

図 9 は、図 8 に示す出力電流最適化回路の構成を示す回路図である。

図 10 は、図 8 に示す第 1 実施形態の出力電流の特性を説明する図である。

25 図 11 は、本発明の他の高速電流スイッチ回路の第 2 実施形態の構成を示す回路図である。

WO 02/51009

PCT/JP01/11292

図 1 2 は、図 1 1 に示す第 2 実施形態の出力電流の特性を説明する図である。

図 1 3 は、図 1 1 に示す第 2 実施形態の出力電流の立ち上がり時の帰還回路の等価回路である。

5 図 1 4 は、本発明の発振器の実施形態の構成を示す回路図（ブロック図）である。

図 1 5 は、図 1 4 における周期比較回路のさらに具体的な構成を示す回路図である。

図 1 6 は、その周期比較回路の動作を説明する各部の波形図である。

10

図 1 7 は、本発明の高周波重畳回路の第 1 実施形態の構成を示す図である。

図 1 8 は、本発明の高周波重畳回路の第 2 実施形態の構成を示す図である。

15 図 1 9 は、従来のレーザダイオード駆動回路のブロック図である。

図 2 0 は、従来の高速電流スイッチ回路の回路図である。

図 2 1 は、図 2 0 のスイッチの具体的な構成を示す図である。

図 2 2 は、従来の他の高速電流スイッチ回路の回路図である。

図 2 3 は、従来の発振器の構成を示すブロック図である。

20 図 2 4 は、従来の他の発振器の構成を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の実施形態について図面を参照して説明する。

本発明の高速電流スイッチ回路の第 1 実施形態の構成について、図 1
25 を参照して説明する。

この高速電流スイッチ回路の第 1 実施形態は、図 1 に示すように、電

WO 02/51009

PCT/JP01/11292

流をスイッチングして出力するN型のMOSトランジスタQ11と、このMOSトランジスタQ11をスイッチング制御する制御回路11とを備えている。

5 制御回路11は、N型のMOSトランジスタQ12と、その負荷である定電流源I2によりソースフォロアを形成している。MOSトランジスタQ12には、MOSトランジスタQ12に流れる電流をスイッチング制御するために、MOSトランジスタなどからなるスイッチSW11が接続されている。また、制御回路11は、MOSトランジスタ11のゲートを接地自在なスイッチSW12を含んでいる。

10 さらに詳述すると、MOSトランジスタ12は、そのゲートがバイアス端子12に接続され、そのバイアス端子12に供給されるバイアス電圧Vbがゲートに印加されるようになっている。また、MOSトランジスタQ12は、そのドレインがスイッチSW11を介して電源ライン13に接続され、そのソースが定電流源I2を介して接地されている。

15 MOSトランジスタQ12のソースが、MOSトランジスタQ11のゲートに接続されるとともに、そのゲートはスイッチSW12を介して接地自在となっている。MOSトランジスタQ11は、そのドレインが出力端子14に接続されるとともに、そのソースが接地されている。

20 なお、定電流源I2は、レベルシフト用に使用しているが、これに代えて抵抗やMOSトランジスタで置き換えることも可能である。

次に、このような構成からなる第1実施形態の動作について、図1を参照して説明する。

この第1実施形態では、動作中にはMOSトランジスタQ12のゲートにバイアス電圧Vbが印加される。

25 そして、いま、スイッチSW11が開いた状態にあり、スイッチSW12が閉じた状態にあるときには、MOSトランジスタQ11は、その

WO 02/51009

PCT/JP01/11292

ゲートがスイッチSW12により接地されて0Vとなってオフ状態となるので、その出力電流 I_{out} は流れない。

一方、スイッチSW11が閉じた状態となり、スイッチSW12が開いた状態になると、MOSトランジスタQ11のゲートには、MOSトランジスタQ12のソース電圧が印加され、これによりそのゲートに電荷が供給されてそのゲート電圧 V_g は上がる。この結果、MOSトランジスタQ11はオン状態になり、MOSトランジスタQ11に出力電流 I_{out} が流れる。

このように、制御回路11のスイッチSW11とスイッチSW12とを交互に閉状態とし、MOSトランジスタQ11のゲート電圧 V_g を制御してスイッチング動作させることにより、MOSトランジスタQ11の出力電流 I_{out} が断続的な電流となる。

ここで、MOSトランジスタQ12の出力インピーダンス Z_o は、MOSトランジスタQ12の伝達コンダクタンスを g_m 、その基板効果伝達コンダクタンスを g_{ds} とし、 $g_m \geq g_{ds}$ とすると、(3)式のようにになる。

$$Z_o \approx 1/g_m \quad \cdots (3)$$

これより、MOSトランジスタQ11のゲート電圧 V_g が0Vから所定の電位に立ち上がる時間 τ は、MOSトランジスタQ11のゲート容量を C_g とすれば、次の(4)式のようにになる。

$$\tau = Z_o \times C_g = C_g / g_m \quad \cdots (4)$$

ここで、MOSトランジスタQ12の伝達コンダクタンス g_m は容易に大きくすることが可能である。(4)式を(1)式と比較して、 R すなわちスイッチSW2のオン抵抗 R_{on} とMOSトランジスタQ2の $1/G_m$ の値を小さくすることが困難なことに比べ、MOSトランジスタQ12の $1/g_m$ は容易に小さくすることができる。 $1/g_m \ll R$ とな

WO 02/51009

PCT/JP01/11292

るように回路を構成すれば、MOSトランジスタのゲート電圧 V_g の立ち上がり時間 τ を従来よりも大幅に短くでき、これによりMOSトランジスタ Q_{11} が、例えば400MHzというように、高速なスイッチング動作が可能となる。

5 以上説明したように、この第1実施形態によれば、出力トランジスタであるMOSトランジスタ Q_{11} のゲート電圧の制御を、ソースフォロアを利用して行うようにしたので、MOSトランジスタ Q_{11} に大電流を流すような場合であっても、それを高速でスイッチング動作させることができる。

10 次に、本発明の高速電流スイッチ回路の第2実施形態について、図2を参照して説明する。

 この高速電流スイッチ回路の第2実施形態は、図1の第1実施形態におけるMOSトランジスタ Q_{12} のゲートに印加するバイアス電圧 V_b の与え方を具体化するとともに、MOSトランジスタ Q_{11} の吸入電流
15 I_{out} を後述のようにトランジスタのサイズ比により任意に設定できるようにしたものである。

 このため、この第2実施形態では、図1の制御回路11を図2に示す制御回路11Aに置き換えるとともに、バイアス電圧発生回路21と、N型のMOSトランジスタ Q_{21} とを図2に示すように追加したもので
20 あり、以下にその構成を述べる。

 制御回路11Aは、図2に示すように、図1の制御回路11とその基本的な構成は同様であるが、図1の定電流源 I_2 をMOSトランジスタ Q_{22} に置き換えた点異なる。

 MOSトランジスタ Q_{21} は、MOSトランジスタ Q_{11} のドレイン
25 側に直列接続されるように、MOSトランジスタ Q_{11} のドレインと出力端子14との間に挿入されている。

WO 02/51009

PCT/JP01/11292

バイアス電圧発生回路 21 は、図 2 に示すように、定電流源 I 3、N 型の MOS トランジスタ Q 23、および N 型の MOS トランジスタ Q 24 などからなり、これらが電源ライン 13 とアースとの間に直列に接続されている。

5 そして、MOS トランジスタ Q 23、MOS トランジスタ Q 12、および MOS トランジスタ Q 21 はカレントミラーを構成するようになっている。すなわち、MOS トランジスタ Q 23 は、そのゲートとそのドレインとが共通に接続され、その共通接続部が MOS トランジスタ Q 12 と MOS トランジスタ Q 21 の各ゲートに接続されている。

10 また、MOS トランジスタ Q 24 と MOS トランジスタ Q 22 は、カレントミラーを構成するようになっている。すなわち、MOS トランジスタ Q 24 は、そのゲートとそのドレインとが共通に接続され、その共通接続部が MOS トランジスタ Q 22 のゲートに接続されている。

15 なお、この第 2 実施形態の他の部分の構成は、図 1 の第 1 実施形態の構成と同様であるので、同一の構成要素には同一の符号を付して、その構成の説明は省略する。

次に、このような構成からなる第 2 実施形態の動作について、図 2 を参照して説明する。

20 この第 2 の実施形態では、動作中には MOS トランジスタ Q 12 のゲートに、バイアス電圧発生回路 21 からのバイアス電圧 V b が印加される。

25 そして、スイッチ SW 11 が開状態、スイッチ SW 12 が閉状態にあるときには、MOS トランジスタ Q 11 は、そのゲートがスイッチ SW 12 により接地されてオフ状態となるので、その吸入電流 I o u t は流れない。

一方、スイッチ SW 11 が閉状態、スイッチ SW 12 が開状態になる

WO 02/51009

PCT/JP01/11292

と、MOSトランジスタQ11のゲートには、MOSトランジスタQ12のソース電圧が印加され、そのゲート電圧 V_g は上がる。この結果、MOSトランジスタQ11はオン状態になり、その吸入電流 I_{out} が流れる。

- 5 ところで、上記のように、MOSトランジスタQ24とMOSトランジスタQ22はカレントミラーを構成し、MOSトランジスタQ23とMOSトランジスタQ12もカレントミラーを構成している。

- 10 このため、MOSトランジスタQ24、Q22の各ゲートには同一の電位が与えられているので、MOSトランジスタQ22には、その両者のトランジスタサイズの比に応じた電流が流れる。

- 15 また、MOSトランジスタQ23、Q12のサイズ比を、MOSトランジスタQ24、Q22のサイズ比と同一のサイズ比で構成すると、MOSトランジスタQ23、Q12の各ゲート・ソース電圧 V_{gs} は、等しくなる。MOSトランジスタQ23、Q12の各ゲート電圧が同じことから、MOSトランジスタQ23、Q12のソース電圧が等しくなる。従って、MOSトランジスタQ24、Q11の各ゲート電圧は等しくなって、両トランジスタはカレントミラー関係にあるので、MOSトランジスタQ11に流れる電流 I_{out} は、次の(5)式で示すようになる。

20
$$I_{out} = I \times (K1/K2) \quad \dots (5)$$

ここで、 I はMOSトランジスタQ24に流れる電流であり、 $K1$ はMOSトランジスタQ11のトランジスタサイズであり、 $K2$ はMOSトランジスタQ24のトランジスタサイズである。

- 25 以上説明したように、この第2実施形態では、MOSトランジスタQ11のゲート電圧の制御を、ソースフォロアを利用して行うようにしたので、第1実施形態と同様の効果が得られる。

WO 02/51009

PCT/JP01/11292

また、この第2実施形態では、バイアス電圧発生回路21を設けるとともに、このバイアス電圧発生回路21を構成するMOSトランジスタQ24とMOSトランジスタQ11とがカレントミラー関係を有するように構成した。このため、MOSトランジスタQ11に流れる電流を、
5 MOSトランジスタQ11、Q24とのサイズ比により任意に設定することができる。

さらに、この第2実施形態では、MOSトランジスタQ21によって、MOSトランジスタQ11のドレイン電圧を固定しているので、出力端子14の電位が変位するような場合でも、出力電流I_{out}の出力端子電圧の依存性を低減できる。
10

次に、本発明の高速電流スイッチ回路の第3実施形態について、図3を参照して説明する。

この高速電流スイッチ回路の第3実施形態は、図1の第1実施形態におけるMOSトランジスタQ12のゲートに印加するバイアス電圧の与え方を具体化するとともに、MOSトランジスタQ11の吸入電流I_{out}を後述のようにトランジスタのサイズ比により任意に設定できるようにしたものである。
15

このため、この第3実施形態では、図1の制御回路11を図3に示す制御回路11Bに置き換えるとともに、バイアス電圧発生回路31を図3に示すように追加するようにしたものであり、以下にその構成を述べる。
20

制御回路11Bは、図3に示すように、図1の制御回路11とその基本的な構成は同様であるが、図1の定電流源I2をMOSトランジスタQ22に置き換え、そのゲートが電源ライン13に接続されている。

25 バイアス電圧発生回路31は、図3に示すように、N型のMOSトランジスタQ31～Q34などから構成されている。MOSトランジスタ

WO 02/51009

PCT/JP01/11292

31とMOSトランジスタQ32とは、電源ライン13とアースとの間に直列に接続され、MOSトランジスタ33とMOSトランジスタQ34とは、電源ライン13とアースとの間に直列に接続されている。

MOSトランジスタ31は、そのゲートに所定のバイアス電圧が印加され、定電流源として機能するようになっている。

また、MOSトランジスタQ31とMOSトランジスタ32の共通接続部の電圧をバイアス電圧Vbとして取り出し、このバイアス電圧VbがMOSトランジスタQ33、Q12の各ゲートに印加されるようになっている。従って、MOSトランジスタQ33、Q12は、カレントミラーの関係にある。

さらに、MOSトランジスタQ33は、MOSトランジスタQ32による帰還回路を備え、バイアス電圧Vbの安定化を図るようになっている。MOSトランジスタQ33のゲートとアースとの間に、発振防止用のコンデンサC11が接続されている。

また、MOSトランジスタQ34は、そのゲートがMOSトランジスタQ22のゲートと同様に電源ライン13に接続されて、同一の電圧が印加されるようになっている。従って、MOSトランジスタQ34、Q22は、カレントミラーの関係にある。

なお、この第3実施形態の他の部分の構成は、図1の第1実施形態の構成と同様であるので、同一の構成要素には同一の符号を付して、その構成の説明は省略する。

次に、このような構成からなる第3実施形態の動作について、図3を参照して説明する。

この第3実施形態では、動作中にはMOSトランジスタQ12のゲートに、バイアス電圧発生回路31からのバイアス電圧Vbが印加される。

WO 02/51009

PCT/JP01/11292

そして、スイッチSW11が開状態、スイッチSW12が閉状態にあるときには、MOSトランジスタQ11は、そのゲートがスイッチSW12により接地されてオフ状態となるので、その吸入電流 I_{out} は流れない。

5 一方、スイッチSW11が閉状態、スイッチSW12が開状態になると、MOSトランジスタQ11のゲートには、MOSトランジスタQ12のソース電圧が印加され、そのゲート電圧 V_g は上がる。この結果、MOSトランジスタQ11はオン状態になり、その吸入電流 I_{out} が流れる。

10 ところで、上記のように、MOSトランジスタQ34とMOSトランジスタQ22はカレントミラーを構成し、MOSトランジスタQ33とMOSトランジスタQ12もカレントミラーを構成している。

このため、MOSトランジスタQ34、Q22の各ゲートには同一の電位が与えられているので、MOSトランジスタQ22には、その両者の
15 のトランジスタサイズの比に応じた電流が流れる。

また、MOSトランジスタQ33、Q12のサイズ比を、MOSトランジスタQ34、Q22のサイズ比と同一のサイズ比で構成すると、MOSトランジスタQ33、Q12の各ゲート・ソース電圧 V_{gs} は、等しくなる。MOSトランジスタQ33、Q12の各ゲート電圧が同じこと
20 から、MOSトランジスタQ33、Q12のソース電圧が等しくなる。従って、MOSトランジスタQ32、Q11の各ゲート電圧は等しくなって、両トランジスタはカレントミラー関係にあるので、MOSトランジスタQ11に流れる電流 I_{out} は、次の(6)式で示すようになる。

25
$$I_{out} = I \times (K1 / K3) \quad \cdots (6)$$

ここで、 I はMOSトランジスタQ32に流れる電流であり、 $K1$ は

WO 02/51009

PCT/JP01/11292

MOSトランジスタQ11のトランジスタサイズであり、K3はMOSトランジスタQ32のトランジスタサイズである。

ところで、この第3実施形態では、図3に示すように、MOSトランジスタQ33は、MOSトランジスタQ32による帰還回路を備え、これにより生成するバイアス電圧の安定化を図るようにしているので、これについて説明する。

MOSトランジスタQ31、Q32の出力インピーダンスを Z_o 、MOSトランジスタQ32のコンダクタンスを g_m とすると、MOSトランジスタQ32などによる開ループの利得Gは、次の(7)式で与えられる。

$$G = -(g_m / Z_o) \quad \dots (7)$$

この開ループの出力(MOSトランジスタQ33のソース電圧)が変動したとしても、帰還回路のためにその変動が、 Z_o / g_m 倍されてMOSトランジスタQ33のゲート側に帰還される。ここで、 $Z_o / g_m \ll 1$ であり、その帰還量は極めて小さいために、バイアス電圧 V_b の変動は極めて小さい。

このため、MOSトランジスタQ12のオンオフ時に、MOSトランジスタQ12のゲートに印加されているバイアス電圧 V_b の変動が、その帰還回路により抑制される。

以上説明したように、この第3実施形態では、MOSトランジスタQ11のゲート電圧の制御を、ソースフォロアを利用して行うようにしたので、第1実施形態と同様の効果が得られる。

また、この第3実施形態では、バイアス電圧発生回路31を設けるとともに、このバイアス電圧発生回路31を構成するMOSトランジスタQ32とMOSトランジスタQ11とがカレントミラー関係を有するように構成した。このため、MOSトランジスタQ11に流れる電流を、

WO 02/51009

PCT/JP01/11292

MOSトランジスタQ11、Q32とのサイズ比により任意に設定することができる。

次に、本発明の高速電流スイッチ回路の第4実施形態について、図4を参照して説明する。

- 5 上述の第1実施形態から第3実施形態は、例えば図1に示すようにMOSトランジスタQ11がN型からなる電流吸入型であるが、これを電流供給型としたのが第4実施形態である。

- そこで、第4実施形態では、図4に示すように、図1のN型のMOSトランジスタQ11をP型のMOSトランジスタ41に代えるとともに、
10 図1の制御回路11を11Cのように代えるようにした。

- すなわち、制御回路11Cは、P型のMOSトランジスタQ42と、その負荷である定電流源I2によりソースフォロアを形成している。MOSトランジスタQ42には、MOSトランジスタQ42に流れる電流をスイッチング制御するために、MOSトランジスタなどからなるスイッチSW11が接続されている。また、制御回路11Cは、MOSトランジスタ41のゲートを電源ライン13に接続するためのスイッチSW12を含んでいる。
15

- さらに詳述すると、MOSトランジスタ42は、そのゲートがバイアス端子12に接続され、そのバイアス端子12に供給されるバイアス電圧Vbがゲートに印加されるようになっている。また、MOSトランジスタQ42は、そのドレインがスイッチSW11を介して接地自在とされ、そのソースが定電流源I2を介して電源ライン13に接続されている。
20

- MOSトランジスタQ42のソースが、MOSトランジスタQ41のゲートに接続されるとともに、そのゲートはスイッチSW12を介して電源ライン13に接続自在になっている。MOSトランジスタQ41は
25

WO 02/51009

PCT/JP01/11292

、そのドレインが出力端子 14 に接続されるとともに、そのソースが電源ライン 13 に接続されている。

なお、定電流源 I 2 は、レベルシフト用に使用しているが、これに代えて抵抗や MOS トランジスタで置き換えることも可能である。

5 このような構成からなる第 4 実施形態では、制御回路 11C のスイッチ SW 11 とスイッチ SW 12 とを交互に閉状態とし、MOS トランジスタ Q 41 のゲート電圧 V_g を制御してスイッチング動作させることにより、MOS トランジスタ Q 41 の出力電流 I_{out} が断続的な電流となる。

10 ただし、第 4 実施形態では、MOS トランジスタ Q 41 が電流供給型として機能し、第 1 実施形態では、MOS トランジスタ Q 11 が電流吸入型として機能するので、この点において両者は異なる。

15 以上説明したように、この第 4 実施形態によれば、出力トランジスタである MOS トランジスタ Q 41 のゲート電圧の制御を、ソースフォロアを利用して行うようにしたので、MOS トランジスタ Q 41 に大電流を流すような場合であっても、それを高速でスイッチング動作させることができる。

20 なお、第 4 実施形態は、図 1 に示す第 1 実施形態に相当するものである。しかし、第 1 実施形態を第 2 または第 3 実施形態により具体化したように、第 4 実施形態について、第 1 実施形態を第 2 または第 3 実施形態と同様に具体化するようにしても良い。

次に、本発明の高周波電流源の実施形態の構成について、図 5 を参照して説明する。

25 この高周波電流源の実施形態は、図 5 に示すように、電流供給型の高周波電流スイッチ回路 51 と、電流吸入型の高周波電流スイッチ回路 52 とを組み合わせ構成し、例えば図 7 に示すような高周波の電流 I_{out}

WO 02/51009

PCT/JP01/11292

を生成するようにしたものである。

このため、この実施形態では、高速電流スイッチ回路 5 1 には外部からの制御信号（スイッチ信号）をインバータ 5 3 を介して供給する一方、高速電流スイッチ回路 5 2 にはその制御信号を直接供給するようにしている。そして、その制御信号に基づき、高速電流スイッチ回路 5 1 が電流の供給時には高速電流スイッチ回路 5 2 が電流の吸入を停止し、高速電流スイッチ回路 5 2 が電流の吸入時には高速電流スイッチ回路 5 1 が電流の供給を停止するようになっている。

図 6 は、図 5 に示す高周波電流源に係る実施形態の構成を、具体化したものである。

図 6 に示すように、電流供給型の高速電流スイッチ回路 5 1 は、例えば図 4 に示す高速電流スイッチ回路からなるので、その構成の説明は省略する。また、電流吸入型の高速電流スイッチ回路 5 2 は、例えば図 1 に示す高速電流スイッチ回路からなるので、その構成の説明は省略する。

そして、この実施形態では、図 6 に示すように、高速電流スイッチ 5 1 を構成する MOS トランジスタ Q 4 1 のドレインと、高速電流スイッチ 5 2 を構成する MOS トランジスタ Q 1 1 のドレインとが、共通の出力端子 1 4 に共通接続され、MOS トランジスタ Q 4 1、Q 1 1 に流れる電流を出力端子 1 4 から交互に出力するようになっている（図 7 参照）。

このような構成からなる高周波電流源の実施形態では、高速でスイッチング動作する電流供給型と電流吸入型の高速電流スイッチ回路 5 1、5 2 を組み合わせるようにしたので、直流成分のない高周波電流を生成できるとともに、その電流値も大きなものを得ることができる。

本発明の他の高速電流スイッチ回路の第 1 実施形態の構成について、

WO 02/51009

PCT/JP01/11292

図 8 を参照して説明する。

図 8 は、この高速電流スイッチ回路の第 1 実施形態の構成を示す全体の回路図である。

この第 1 実施形態に係る高速電流スイッチ回路は、図 8 に示すように、外部から電流を設定する電流設定回路 111 と、この電流設定回路 111 で設定される電流を流す電流経路を第 1 の電流経路 117 と第 2 の電流経路 118 に切り換える切換回路 112 と、第 1 の電流経路 117 に流れる設定電流に対して所定の電流比の出力電流を取り出す電流ミラー回路 113 と、出力電流最適化回路 114 とを、少なくとも備えている。

電流設定回路 111 は、N 型の MOS トランジスタ Q101 と N 型の MOS トランジスタ Q102 とからなる電流ミラー回路からなり、MOS トランジスタ Q101 に外部設定電流 I_{IN} を設定すると、この外部設定電流 I_{IN} と同一の電流が MOS トランジスタ Q102 に流れるようになっている。

切換回路 112 は、N 型の MOS トランジスタ Q103 と N 型の MOS トランジスタ Q104 などからなり、電流設定回路 111 の設定電流を第 1 の電流経路 117 に流すときに MOS トランジスタ Q104 をオンにし、その設定電流を第 2 の電流経路 118 に流すときに MOS トランジスタ Q103 をオンにするようになっている。

電流ミラー回路 113 は、第 1 の電流経路 117 を形成する P 型の MOS トランジスタ Q106 と、P 型の出力用 MOS トランジスタ Q107 とが電流ミラー関係を形成するようになっている。このため、MOS トランジスタ Q106、Q107 の各ゲートには、それぞれソースフォロアを構成する P 型の MOS トランジスタ Q110、Q111 の各ソース電圧が印加され、MOS トランジスタ Q110、Q111 は、そのゲ

WO 02/51009

PCT/JP01/11292

ートとソースとの間の電圧が同一になるように設計されている。

このように電流ミラー回路 113 は、MOS トランジスタ Q106 と MOS トランジスタ Q110 とが帰還回路（ループ回路）と、出力用 MOS トランジスタ Q107 と MOS トランジスタ Q111 とからなる出力回路を含んでいる。

出力電流最適化回路 114 は、電流ミラー回路 113 に含まれる帰還回路の位相余裕を調整してその電流ミラー回路 113 からの出力電流の立ち上がりの最適化を図るようになっている。

次に、この第 1 実施形態に係る高速電流スイッチ回路の詳細な構成について、図 8 を参照して説明する。

電流設定端子 102 は、MOS トランジスタ Q101 のドレインに接続され、そのドレインは MOS トランジスタ Q101、Q102 の各ゲートにそれぞれ接続されている。MOS トランジスタ Q101、Q102 の各ソースは共通接続され、その共通接続部が接地されている。

入力端子 101 は、MOS トランジスタ Q104、Q108、Q109 の各ゲートに接続されるとともに、インバータ 103 を介して MOS トランジスタ Q103 のゲートに接続されている。MOS トランジスタ Q103、Q104 の各ソースは共通接続され、その共通接続部が MOS トランジスタ Q102 のドレインに接続されている。

MOS トランジスタ Q103 のドレインは、MOS トランジスタ Q105 のドレインに接続され、そのドレインが MOS トランジスタ Q105 のゲートに接続されている。MOS トランジスタ Q105 のソースには、電源電圧 VDD が供給されるようになっている。

MOS トランジスタ Q104 のドレインは、MOS トランジスタ Q106、Q108 の各ドレイン、および MOS トランジスタ Q110、Q111 の各ゲートにそれぞれ接続されている。MOS トランジスタ Q1

WO 02/51009

PCT/JP01/11292

06のゲートは、MOSトランジスタQ110のソース、および出力電流最適化回路114の入力側にそれぞれ接続されている。また、MOSトランジスタQ106のソースは、電源電圧VDDが供給されるようになっている。

- 5 MOSトランジスタQ108のゲートは、MOSトランジスタQ109のゲートに接続され、MOSトランジスタQ108のソースは、電源電圧VDDが供給されるようになっている。MOSトランジスタQ110のドレインは接地されるとともに、MOSトランジスタQ110のソースには、定電流源104を介して電源電圧VDDが供給されるようになっている。
- 10

- 出力電流最適化回路114には、インバータ103の出力、および電流設定端子102の設定電流IINがそれぞれ入力されるようになっている。また、出力電流最適化回路114の出力端子は、MOSトランジスタQ109のドレイン、MOSトランジスタQ111のソース、およびMOSトランジスタQ107のゲートにそれぞれ接続されている。
- 15

- MOSトランジスタQ109のソースは、電源電圧VDDが供給されるようになっている。MOSトランジスタQ111のドレインは接地され、MOSトランジスタQ111のソースは定電流源105を介して電源電圧VDDが供給されるようになっている。MOSトランジスタQ107は、そのソースに電源電圧VDDが供給されるようになっており、そのドレインが出力端子106に接続されている。
- 20

次に、出力電流最適化回路114の具体的な構成について、図9を参照して説明する。

- この出力電流最適化回路114は、図9に示すように、可変抵抗素子としてのN型のMOSトランジスタQ121と、比較回路122と、初期化回路123とを含んでいる。
- 25

WO 02/51009

PCT/JP01/11292

MOSTランジスタ121は、MOSTランジスタQ110のソースとMOSTランジスタQ111のソースとの間に接続され、比較回路122からの出力に基づいてオフして高抵抗として機能し、初期化回路123からの出力に基づいてオンして低抵抗として機能するものである。

5

比較回路122は、MOSTランジスタQ122、Q123、およびインバータ124からなる電流コンパレータからなり、出力用のMOSTランジスタQ107の出力電流の立ち上がり時に、その出力電流を所定値と比較し、その出力電流が所定値を上回った場合に、MOSTランジスタQ121をオフするものである。

10

ここで、上記の比較回路122が比較する際の所定値は、例えば、MOSTランジスタQ107の出力電流の最終値の90%程度の値とする。

初期化回路123は、MOSTランジスタQ124からなり、MOSTランジスタQ107の出力電流の立ち下がり時に、MOSTランジスタQ121をできるだけ早くオンして初期化するものである。

15

さらに詳述すると、MOSTランジスタQ122のゲートは、MOSTランジスタ111のソースおよびMOSTランジスタQ107のゲートに接続されている。また、MOSTランジスタQ122のソースは、電源電圧VDDが供給されるようになっている。

20

MOSTランジスタQ122のドレインは、MOSTランジスタQ123のドレイン、MOSTランジスタQ124のドレイン、およびインバータ124の入力側に接続されている。MOSTランジスタQ123は、比較回路122がMOSTランジスタQ107の出力電流を比較する際のしきい値を決定するものである。このMOSTランジスタQ123は、そのゲートに入力設定電流IINが供給され、そのソースが接地

25

WO 02/51009

PCT/JP01/11292

されている。

インバータ124の出力側は、MOSトランジスタQ121のゲートに接続されている。また、MOSトランジスタQ124は、そのゲートにインバータ103の出力が供給され、そのソースが接地されている。

5

次に、このような構成からなる第1実施形態の動作について、図面を参照して説明する。

いま、入力信号INが「L」レベルにあるときには、入力信号INがMOSトランジスタQ109に印加されるので、MOSトランジスタQ109はオンの状態にあり、ノードN6には電源電圧VDDが印加されている。このため、出力電流最適化回路114のMOSトランジスタQ122のゲートに電源電圧VDDが印加され、MOSトランジスタQ122はオフ状態になる。

従って、インバータ124は、その入力側が「L」レベルとなり、その出力側は「H」レベルとなり、MOSトランジスタQ121はオン状態になるので、ノードN5とノードN6とは、低抵抗のMOSトランジスタQ121により短絡された状態となる。

このように、ノードN5とノードN6との間が短絡される場合には、MOSトランジスタQ106、Q110からなる帰還回路において、2次の極（ポール）を構成する容量負荷が大きくなるので、2次の極は低周波に設定されて、位相余裕は例えば30°以下というように小さくなる。

一方、入力信号INが「L」レベルから「H」レベルに変化して立ち上がり始めると、MOSトランジスタQ104がオンするので、MOSトランジスタQ110のゲート電位およびそのソース電位（ノードN3およびN5の電位）が、電流設定端子102から入力される外部設定電

WO 02/51009

PCT/JP01/11292

流 I_{IN} の電流値にしたがって立ち下がり始める。

ノード N 3 の電位が立ち下がり始めると、MOS トランジスタ Q 1 1 1 によりそのソース電位（ノード N 6 の電位）が決定され、この電位が MOS トランジスタ Q 1 0 7 のゲート電圧になる。このゲート電位により MOS トランジスタ Q 1 0 7 の出力電流が立ち上がり始める。

そのノード N 6 の電位は、出力電流最適化回路 1 1 4 の MOS トランジスタ Q 1 2 2 のゲート電圧になるので、MOS トランジスタ Q 1 2 2 には、MOS トランジスタ Q 1 0 7 の出力電流に相当する出力電流が流れ始める。そして、その出力電流が予め設定してあるしきい値を超えたとき、換言すると、MOS トランジスタ Q 1 2 2 のドレイン電圧が、そのしきい値に対応するインバータ 1 2 4 のしきい値電圧を超えると、このインバータ 1 2 4 の出力が「L」レベルとなる。

この結果、MOS トランジスタ Q 1 2 1 はオフ状態になるので、ノード N 5 とノード N 6 との間は、高抵抗の MOS トランジスタ Q 1 2 1 により開放された状態となる。

このように、ノード N 5 とノード N 6 との間が開放される場合には、MOS トランジスタ Q 1 0 6、Q 1 1 0 からなる帰還回路において、2 次の極を構成する容量負荷が MOS トランジスタ Q 1 0 7 のゲート容量分だけとなって小さくなるので、2 次の極は高周波に設定されて、位相余裕は例えば 60° 以上というように十分に確保される。

その後、入力信号 I_N が「H」レベルから「L」レベルに変化して立ち下がると、この入力信号 I_N がインバータ 3 で反転されて出力電流最適化回路 1 1 4 の MOS トランジスタ Q 1 2 4 のゲートに印加される。この結果、MOS トランジスタ Q 1 2 4 がオンし、インバータ 1 2 4 の入力側を直ちに「L」レベルとするので、インバータ 1 2 4 は MOS トランジスタ Q 1 2 1 をオン状態に初期化する。

WO 02/51009

PCT/JP01/11292

以上のような動作によるMOSトランジスタQ107の出力電流の変化を纏めると、図10に示すようになるので、以下にこれについて説明する。

すなわち、MOSトランジスタQ107の出力電流が立ち上がる際に
5 、所定の中間電流値（例えば出力電流の最終値の90%程度）に達するまでは、ノードN5とノードN6との間をMOSトランジスタQ121をオンにして短絡するようにした。このため、出力電流は、図10の曲線Aに示すように、その立ち上がり期間が速まる。

一方、その出力電流が、その中間電流値に立ち上がってオーバシュートの発生する時刻 t_1 には、ノードN5とノードN6との間をMOSトランジスタQ121をオフにして開放し、すなわち、MOSトランジスタQ106、Q110からなる帰還回路の位相余裕を十分に確保するようにした。このため、出力電流は、図10の曲線Bに示すようにオーバシュートが抑制される。

15 なお、図10において、曲線CはMOSトランジスタQ121をオンにしたままのときの出力電流の一例を示し、曲線DはMOSトランジスタQ121をオフにしたままの出力電流の一例を示す。

以上説明したように、この第1実施形態によれば、消費電流を増やすことなく、出力電流の立ち上がり時間を速め、かつそのオーバシュートを抑制することができる。

また、この第1実施形態によれば、その出力電流の立ち下げ時には、初期状態に戻すようにしたので、入力信号により出力電流を高速にオンオフ制御を繰り返しても、その繰り返しによる出力電流の立ち上がり特性の違いは現れない。

25 次に、本発明の高速電流スイッチ回路の第2実施形態の構成について、図11を参照して説明する。

WO 02/51009

PCT/JP01/11292

この第2実施形態に係る高速電流スイッチ回路は、第1実施形態の出力電流最適化回路114を、図11に示すように所定の抵抗値を持つ抵抗素子131に置き換えたものである。抵抗素子131は、ポリシリコンなどから構成されている。

- 5 なお、この第2実施形態の他の部分の構成は、図8に示す第1実施形態の出力電流最適化回路114を除く部分の構成と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

この第2実施形態が第1実施形態の出力電流最適化回路114を抵抗素子131に置き換えたのは以下の理由による。

- 10 すなわち、図10の曲線Cに示すように、ノードN5とノードN6との間を短絡させる場合には、MOSトランジスタQ107の出力電流は立ち上がり早いオーバーシュートが大きい。逆に、図10の曲線Dに示すように、ノードN5とノードN6との間を開放させる場合には、MOSトランジスタQ107の出力電流は立ち上がり遅いがオーバーシュートが小さい。

- 15 しかし、所定の抵抗値を持つ抵抗素子131をノードN5とノードN6との間に挿入（接続）すると、MOSトランジスタQ106、Q110からなる帰還回路の位相余裕が調整される。その結果、MOSトランジスタQ107の出力電流の立ち上がり特性は、図12の曲線Aに示すように、その中間的な特性を持つようになり、許容範囲内でオーバーシュートが抑制され、かつ立ち上がりを速めることができる。

- 20 なお、図12において、曲線A、B、Cと、それに対応する位相余裕 θ の関係は次のようになる。すなわち、曲線Aは、 $60^\circ > \theta > 30^\circ$ の場合であり、曲線Bは $\theta > 60^\circ$ の場合であり、曲線Cは $\theta < 30^\circ$ の場合である。

25 例えば、この第2実施形態をCD-R/RW系のレーザダイオード駆

WO 02/51009

PCT/JP01/11292

動回路に適用する場合には、出力電流のオーバシュート量として5%まで許容される。このため、抵抗素子131により位相余裕を調整することで、オーバシュートが5%以内となる範囲で出力電流の立ち上がり時間を最も早くする設計が可能となる。この場合に、回路の消費電流を増減させることはない。

次に、MOSトランジスタQ106、Q110からなる帰還回路の位相余裕の調整の具体的な方法について、図13を参照して説明する。

図13は、図11の回路のノードN5の等価回路である。この等価回路から、ノードN3の電圧をVN3、ノードN5の電圧をVN4とすると、等価回路の伝達関数は、次の(8)式のようになる。

$$VN5/VN5 = (gm1/C1) \times \{ [S + (1/(C2 \times R))] \} / [S^2 + S((C2 \times R \times (gm1 + gds1) + C1 + C2) / (C1 \times C2 \times R)) + ((gm1 + gds1) / (C1 \times C2 \times R))] \} \quad \dots (8)$$

ここで、gm1はMOSトランジスタQ110の伝達コンダクタンス、C1はMOSトランジスタQ106のゲート容量、Rは抵抗素子131の抵抗値、gds1は基板効果伝達コンダクタンスである。

いま、 $gm1 \gg gds1$ とすれば、(8)式は次の(9)式となる。

$$VN5/VN5 = (gm1/C1) \times \{ [S + (1/(C2 \times R))] \} / [S^2 + S((gm1/C1) + (C1 + C2)/(C1 \times C2 \times R)) + (gm1/(C1 \times C2 \times R))] \} \quad \dots (9)$$

(9)式によれば、零点を持つ2次のローパスフィルタ(LPF)となる。

この(9)式から1次の極周波数 ω_p と零点周波数 Z_{p0} とを求めると、次の(10)(11)式のようになる。

WO 02/51009

PCT/JP01/11292

$$\omega_0 = \sqrt{g_{m1} / (C1 \times C2 \times R)} \quad \dots (10)$$

$$Z_{ro} = 1 / (C2 \times R) \quad \dots (11)$$

ここで、1次の極周波数 ω_0 で位相が90°回転するが、その位相は
 零点周波数 Z_{ro} で戻される。このため、1次の極周波数 ω_0 と零点周
 5 波数 Z_{ro} とは、抵抗素子131の抵抗Rにより調整できる。従って、
 抵抗素子131の抵抗値を調整することにより、帰還回路の位相余裕を
 調整できる。

また、第2実施形態では、その回路が図11に示すように構成される
 。このような回路構成の場合には、帰還回路のステップ応答がオーバシ
 10 ュートしても、出力電流の応答を最終的に決めるのはノードN6である
 。このため、帰還回路の応答から、抵抗素子131とノードN6の容量
 によるローパスフィルタの効果で、ノードN6自体にはオーバシュート
 が現れにくい。

以上説明したように、第2実施形態によれば、抵抗素子を設けるよう
 15 にしたので、回路の消費電流を増加させることなく、位相余裕を調整で
 きる。このため、出力電流は、オーバシュートをできるだけ抑制した上
 で立ち上がり時間をできるだけ速めることができる。

次に、本発明の発振器の実施形態について、図14を参照して説明す
 る。

20 本発明の発振器の実施形態は、図14に示すように、電流制御発振器
 201、分周器202、周期比較回路204、積分器205、および電
 圧-電流変換回路206を直列に接続し、終段の電圧-電流変換回路2
 06の出力電流を初段の電流制御発振器201の入力側に帰還するよう
 にし、電流制御発振器201の出力を発振出力として取り出すようにし
 25 たものである。

また、この実施形態は、周期比較回路204に対して定電流Iを供給

WO 02/51009

PCT/JP01/11292

する定電流源回路 203 を備えるとともに、積分器 205 に対して電源電圧の変動などに影響されない基準電圧 V_C を供給するようにし、これにより発振出力の安定化を図るようにしたものである。なお、この実施形態は、例えば上記の各構成要素を半導体基板上に集積回路化するのが好ましい。

ここで、電流制御発振器 201 が発振手段に相当し、周期比較回路 204 が充電手段に相当する。また、積分器 205 と電圧－電流変換回路 206 が制御手段に相当する。

次に、この実施形態における各部の構成について詳述する。

10 電流制御発振器 201 は、電圧－電流変換回路 206 から出力される電流 I_L により発振周波数が制御される発振器（電流－周波数変換回路）である。分周器 202 は、電流制御発振器 201 の発振周波数を、分周比 $1/N$ に分周（減少）するようになっている。

15 定電流源回路 203 は、バンドギャップ・リファレンス回路（図示せず）で生成されるバンドギャップ電圧 V_B と、抵抗（外付け抵抗） R_{11} の両端の電圧とに基づき、周期比較回路 204 に供給する定電流 I を生成するようにしたものである。

20 このため、定電流源回路 203 は、図 14 に示すように、オペアンプ OP1 と、PMOS トランジスタ Q_{201} 、 Q_{202} と、抵抗 R_{11} とから構成される。すなわち、オペアンプ OP1 は、その－入力端子には上記のバンドギャップ電圧 V_B が入力され、その＋入力端子には抵抗 R_{11} の両端の発生電圧が印加されるようになっている。オペアンプ OP1 の出力端子は、PMOS トランジスタ Q_{201} 、 Q_{202} の各ゲートに接続されている。

25 さらに、PMOS トランジスタ Q_{201} は、そのソースに電源電圧 V_{DD} が印加されるようになっており、そのドレインが抵抗 R_{11} の一端

WO 02/51009

PCT/JP01/11292

に接続されるとともにオペアンプOP1の+入力端子に接続されている。
抵抗R11の他端は接地されている。PMOSトランジスタQ202は、そのソースがPMOSトランジスタQ201のソースに接続されるとともに電源電圧VDDが印加され、そのドレインが周期比較回路204のスイッチSW201に接続されている。

周期比較回路204は、分周器202の出力の半周期の期間に、定電流源回路3から供給される定電流IによりコンデンサC21を充電し、その充電電荷を、その残りの半周期の期間の1/4の期間に次段の積分器205に転送するようになっている。

このため、周期比較回路204は、図14に示すように、コンデンサC21と、充電用のスイッチSW201と、転送用のスイッチSW202と、放電用のスイッチSW203とから構成される。コンデンサC21の一端は、充電用のスイッチSW201を介してPMOSトランジスタQ202のドレインに接続されるとともに、転送用のスイッチSW202を介して積分器205のオペアンプOP2の-入力端子に接続されている。また、コンデンサC21の他端は接地されている。さらに、コンデンサC21の両端には、放電用のスイッチSW203が接続されている。

積分器205は、周期比較回路204のコンデンサC21に蓄積された蓄積電荷と、バンドギャップ・リファレンス回路（図示せず）で生成される基準値としての基準電圧VCとに基づき、後述のような積分動作を行い、その積分出力を電圧-電流変換回路206に出力するようになっている。

このために、積分器205は、図14に示すように、オペアンプOP2と、積分用コンデンサC22とから構成される。オペアンプOP2は、その-入力端子と出力端子との間に積分用コンデンサC22が接続され

WO 02/51009

PCT/JP01/11292

、その－入力端子にコンデンサC 2 1の充電電荷が印加され、その＋入力端子に上記の基準電圧VCが印加されるようになっている。また、オペアンプOP 2の出力端子は、電圧－電流変換回路2 0 6のPMOSTランジスタQ 2 0 3のゲートに接続されている。

- 5 電圧－電流変換回路2 0 6は、積分器2 0 5の出力電圧を入力電圧とし、例えばこの入力電圧に比例する電流ILを出力し、この出力電流ILを電流制御発振器2 0 1の入力側に帰還する回路である。

このために、電圧－電流変換回路2 0 6は、図1 4に示すように、抵抗R 1 2と、電圧－電流変換を行うためのPMOSTランジスタQ 2 0 3と、
10 パワーダウン制御を行うPMOSTランジスタQ 2 0 4と、カレントミラーを形成するNMOSTランジスタQ 2 0 5、Q 2 0 6とから構成されている。

PMOSTランジスタQ 2 0 3は、そのゲートがオペアンプOP 2の出力端子に接続され、そのソースに抵抗R 1 2を介して電源電圧VDDが印加されるようになっている。PMOSTランジスタQ 2 0 3のドレインは、NMOSTランジスタQ 2 0 5のドレインに接続されている。
15 PMOSTランジスタQ 2 0 4は、そのゲートにパワーダウン信号PDが印加され、そのソースは電源電圧VDDが印加され、そのドレインがPMOSTランジスタQ 2 0 3のゲートに接続されている。

20 さらに、NMOSTランジスタQ 2 0 5は、そのドレインが自己のゲートに接続されるとともに、そのゲートがNMOSTランジスタQ 2 0 6のゲートに接続されている。NMOSTランジスタQ 2 0 5のソースは接地されている。また、NMOSTランジスタQ 2 0 6は、そのソースが接地されるとともに、そのドレインから出力電流ILを取り出して
25 電流制御発振器2 0 1に帰還するようになっている。

次に、図1 4に示す周期比較回路2 0 4の具体的な構成について、図

WO 02/51009

PCT/JP01/11292

15を参照して説明する。

図15では、図14におけるスイッチSW201をPMOSトランジスタQ211、Q212で構成するとともに、スイッチSW202、SW203をNMOSトランジスタQ213、Q214でそれぞれ構成するようにしている。

すなわち、PMOSトランジスタQ211のソースは、定電流源回路203の出力部に接続され、そのドレインは接地されている。そして、PMOSトランジスタQ211は、そのゲートに電流制御発振器201の出力を分周器202で1/Nに分周した出力が制御電圧CHRGとして印加され（図16（A）参照）、これによりオンオフ制御されるようになっている。

また、PMOSトランジスタQ212のソースは、定電流源回路203の出力部に接続され、そのドレインはコンデンサC21の一端に接続されている。そして、PMOSトランジスタQ212は、そのゲートに分周器202の出力である制御電圧CHRGを反転したものが制御電圧CHRGNとして印加され（図16（B）参照）、これにより、オンオフ制御されるようになっている。

さらに、コンデンサC21の一端は、NMOSトランジスタQ213を介して積分器205のオペアンプOP2の一入力端子に接続されるとともに、そのコンデンサC21の他端は接地されている。NMOSトランジスタQ213は、そのゲートに印加される図16（C）に示すような制御電圧INTEGにより、オンオフ制御されるようになっている。

また、コンデンサC21の両端には、NMOSトランジスタQ214が接続されている。そして、NMOSトランジスタQ214は、そのゲートに印加される図16（D）に示すような制御電圧DISCHGにより、オンオフ制御されるようになっている。

WO 02/51009

PCT/JP01/11292

ここで、上記の制御電圧 I N T E G は、上記の制御電圧 C H R G N、
電流制御発振器 2 0 1 の出力を $1/2N$ に分周した電圧、および電流制
御発振器 2 0 1 の出力を $1/4N$ に分周した電圧を反転した反転電圧を
、図示しない 3 入力のアンドゲートに印加し、そのアンドゲートの出力
5 端子から得るようにしている。

また、上記の制御電圧 D I S C H G は、上記の制御電圧 C H R G N、
電流制御発振器 2 0 1 の出力を $1/2N$ に分周した電圧の反転電圧、お
よび電流制御発振器 2 0 1 の出力を $1/4N$ に分周した電圧を反転した
反転電圧を、図示しない 3 入力のアンドゲートに印加し、そのアンドゲ
10 ートの出力端子から得るようにしている。

次に、このような構成からなるこの実施形態にかかる発振器の動作に
ついて、図面を参照して説明する。

いま、発振器が動作停止状態（パワーダウン状態）にあるときは、P
D__N=N なので、図 1 4 に示す PMOS トランジスタ Q 2 0 4 は、パ
15 ワーダウン信号の反転（PD__N）によりオン状態にある。このとき、
積分器 2 0 5 の出力 V o u t は、例えば電源電圧 5 V になる。このため
、PMOS トランジスタ Q 2 0 3 はオフ状態のために電流が流れず、N
MOS トランジスタ Q 2 0 6 の出力電流 I L はゼロとなる。

一方、発振器の動作開始状態（パワーダウン解除）では、PD__N=
20 H なので、PMOS トランジスタ Q 2 0 4 はパワーダウン信号の反転（
PD__N）によりオフ状態にある。

この発振器の動作の開始により、電流制御発振器 2 0 1 は低い周波数
で発振を開始し、その発振出力は分周器 2 0 2 に入力されると、ここで
1/N に分周される。

25 周期比較回路 2 0 4 では、分周器 2 0 2 の出力の半周期の期間（図 1
6 の時刻 $t_2 \sim t_3$ の期間に相当）にスイッチ SW 2 0 1 が閉じ、この

WO 02/51009

PCT/JP01/11292

期間に、定電流源回路 203 から供給される定電流 I によりコンデンサ $C21$ が充電される。その充電が終了すると、コンデンサ $C21$ の両端の電圧が $V1$ となる。

5 分周器 202 の出力の残りの半周期の期間の $1/4$ の期間 (図 16 の時刻 $t4 \sim t5$ の期間に相当) にスイッチ $SW202$ が閉じ、この期間にコンデンサ $C21$ の充電電荷が次段の積分器 205 に転送される。

このコンデンサ $C21$ の充電電荷の転送に基づき、積分器 205 の積分用コンデンサ $C22$ が充電を開始するので、積分器 205 の出力 V_{out} は $5V$ から徐々に立ち下がり始める。これに伴い、PMOS トランジスタ $Q203$ に電流が流れ始めるので、これにより NMOS トランジスタ $Q206$ の出力電流 I_L が増加していく。

この出力電流 I_L は、電流制御発振器 201 に帰還され、電流制御発振器 201 はその電流 I_L により発振周波数が制御される。

そして、積分器 205 のオペアンプ OP2 において、その一入力端子に印加されるコンデンサ $C21$ の充電電荷に伴う電圧 $V2$ と、その+入力端子に印加される基準電圧 V_C とが、 $V1 = V2 = V_C$ になると、コンデンサ $C21$ からの電荷の転送が終了し、この発振器の系は安定する。すなわち、積分器 205 の出力 V_{out} は、発振器の系が安定するまで変動し、 $V1 = V2 = V_C$ になる動作点で落ちつくことになる。

20 次に、周期比較回路 204 の動作について、図 15 および図 16 を参照して具体的に説明する。

時刻 $t1$ から時刻 $t2$ の期間には、図 16 (D) に示すように、制御電圧 $DISCHG$ が H レベルになるので、これにより NMOS トランジスタ $Q214$ がオンしてコンデンサ $C21$ の充電電荷が放電される。また、この期間には、図 16 (A) に示すように、制御電圧 $CHRG$ は L レベルであるので、PMOS トランジスタ $Q211$ はオン状態になり、

WO 02/51009

PCT/JP01/11292

定電流源回路 203 からの定電流 I が流れている。

次に、時刻 t_2 から時刻 t_3 の期間には、図 16 (B) に示すように制御電圧 $CHRG_N$ が L レベルになり、これにより PMOS トランジスタ Q_{212} がオンになる。この結果、定電流源回路 203 からの定電流 I がコンデンサ C_{21} に流れて、コンデンサ C_{21} が充電され、コンデンサ C_{21} の両端の電圧 V_1 は、図 16 (E) に示すように増加していく。

時刻 t_3 には、図 16 (B) に示すように、制御電圧 $CHRG_N$ が L レベルから H レベルに変化し、PMOS トランジスタ Q_{212} はオフとなってコンデンサ C_{21} の充電は停止するので、図 16 (E) に示すようにコンデンサ C_{21} の両端の電圧 V_1 はその後は一定となる。

その後、時刻 t_4 から時刻 t_5 までの期間は、図 16 (C) に示すように制御電圧 $INTG$ が H レベルになるので、NMOS トランジスタ Q_{213} がオンとなる。この結果、コンデンサ C_{21} の両端の電圧 V_1 が積分器 205 のオペアンプ OP2 の－入力端子に印加されるので、積分器 205 は上記のような積分動作行う。

次に、時刻 t_6 から時刻 t_7 までの期間は、図 16 (D) に示すように制御電圧 $DISCHG$ が H レベルになり、NMOS トランジスタ Q_{214} がオンとなるので、コンデンサ C_{21} の放電が行われる。以後、上記の動作を繰り返す。

次に、この実施形態の発振周波数の求め方について、図面を参照しながら説明する。

この実施形態では、上記のように、積分器 205 の出力 V_{out} に基づいて電圧－電流変換回路 206 から出力される制御電流 I_L が決まり、発振器の発振周波数が安定するのは、 $V_1 = V_2 = V_C$ になったときである。

WO 02/51009

PCT/JP01/11292

ところで、PMOSトランジスタQ 2 1 2をスイッチングするのは、電流制御発振器2 0 1の発振周波数 f を分周器2 0 2で $1/N$ に分周した制御電圧CHRGを反転した制御電圧CHRGNに基づいている。

このため、いま図16に示すように、制御電圧CHRGの周波数の周期を T_s とすると、その T_s でPMOSトランジスタQ 2 1 2がスイッチングされ、PMOSトランジスタQ 2 1 2がオンの期間は $T_s/2$ (秒)となる。

そこで、PMOSトランジスタQ 2 1 2がオンの期間 $T_s/2$ に、コンデンサC 2 1に対して定電流源回路2 0 3からの定電流 I により充電される電荷 Q は、コンデンサC 2 1の両端の電圧を V_1 とすると、次の(12)式のようになる。

$$Q = I \times (T_s / 2) = C_{21} \times V_1 \quad \dots (12)$$

ここで、上記のように発振器が安定した状態では、 $V_1 = V_2 = V_C$ であるので、スイッチング時間 T_s は、次の(13)式のようになる。

$$T_s = ((C_{21} \times V_C) / I) \times 2 \quad \dots (13)$$

ここで、電流制御発振器2 0 1の発振周波数 f とその周期 $1/T$ との関係は、 $f = 1/T$ の関係があり、スイッチング時間 T_s は分周数を N とすると次の(14)式となる。

$$T_s = N \times T \quad \dots (14)$$

(13)式と(14)式とから次の(15)式が得られる。

$$N \times T = ((C_{21} \times V_C) / I) \times 2 \quad \dots (15)$$

この(15)式を T について解くと、次の(16)式が得られる。

$$T = ((C_{21} \times V_C) / I) \times (2 / N) \quad \dots (16)$$

従って、 $f = 1/T$ の関係より、(16)式を発振周波数 f について解くと、発振周波数 f (Hz)は、次の(17)式に示すようになる。

WO 02/51009

PCT/JP01/11292

$$f = (I / (C_{21} \times V_C)) \times (N / 2) \quad \cdots (17)$$

以上説明したように、この実施形態に係る発振器によれば、発振周波数は上記の(17)式により決まり、定電流Iは外付けの抵抗R₁₁と
5 バンドギャップ電圧とから電圧-電流変換して生成する。このため、電源電圧や動作温度に依存することなく安定した電流値を得ることができるので、従来の回路と比較して発振周波数のばらつく要因を減少でき、その結果、発振周波数の精度と安定化を図ることができる。

なお、上記の実施形態では、発振周波数を決める外付けの抵抗R₁₁
10 が1つの場合について説明した。しかし、抵抗値の異なる外付け抵抗R₁₁を複数個用意しておき、その複数の外付け抵抗R₁₁のうちの1つを選択すると所望の発振周波数で発振するようにしても良い。

また、上記の実施形態では、周期比較回路204のコンデンサC₂₁
15 が1つの場合について説明したが、コンデンサの値をレジスタ等で切り換えられるように構成するようにしても良い。このようにすれば、そのレジスタの設定により発振周波数を変化することができ便宜である。

さらに、上記の実施形態では、分周器202は分周比が固定されているものとして説明したが、その分周器202の分周比をレジスタで変更できるように構成しても良い。このようにすれば、そのレジスタの設定
20 により発振周波数を変化することができて便宜である。

さらにまた、上記の実施形態では、分周器202を設けるようにした。しかし、電流制御発振器201の発振出力が比較的低い場合には、周期比較回路4などのスイッチング制御を安定に行えるので、分周器202を省略することが可能である。

25 また、上記の実施形態では、発振手段として電流制御発振器としたが、これを電圧制御発振器(VCO)に代えるようにしても良い。この場

WO 02/51009

PCT/JP01/11292

合には、図 1 4 に示す電圧－電流変換回路 2 0 6 を省略できる。

また、上記の実施形態では、パワーダウン用の MOS トランジスタを用いるようにしたが、そのパワーダウン用の MOS トランジスタを用いなくとも動作可能である。

- 5 次に、本発明の高周波重畳回路の第 1 実施形態の構成について、図 1 7 を参照して説明する。

この高周波重畳回路の第 1 実施形態は、図 1 7 に示すように、発振器 3 0 1 と、この発振器 3 0 1 の出力電圧に基づいて出力電流がスイッチング制御される高速電流スイッチ回路 3 0 2 とからなる。そして、その
10 高速電流スイッチ回路 3 0 2 にレーザダイオード（図示せず）が接続され、レーザダイオードに流れる電流が制御されるようになっている。

発振器 3 0 1 は、一般的な発振器でも良いが、図 1 4 に示す発振器が好適である。

- 従って、発振器 3 0 1 は、図 1 7 に示すように、電流制御発振器 2 0 1、分周器 2 0 2、周期比較回路 2 0 4、積分器 2 0 5、および電圧－
15 電流変換回路 2 0 6 を直列に接続し、終段の電圧－電流変換回路 2 0 6 の出力電流を初段の電流制御発振器 2 0 1 の入力側に帰還するようにし、電流制御発振器 2 0 1 の出力を発振出力として取り出すようにしたものである。周期比較回路 2 0 4 には、定電流源回路 2 0 3 から定電流が
20 供給されるようになっている。

このように、発振器 3 0 1 の構成は図 1 4 に示す発振器と同様であり、その具体的な構成や動作はすでに説明したので、ここではその説明を省略する。

- 高速電流スイッチ回路 3 0 2 は、図 1 に示す高速電流スイッチ回路を使用している。ただし、この高速電流スイッチ回路 3 0 2 では、図 1 に
25 示す高速電流スイッチ回路のスイッチ SW 1 1、SW 1 2 を、P 型の M

WO 02/51009

PCT/JP01/11292

OSトランジスタQ301とN型のMOSトランジスタQ302にそれぞれ置き換えるようにした。そして、MOSトランジスタQ301、Q302は、その各ゲートに発振器の301の出力電圧をそれぞれ印加し、これによりスイッチング制御を行うようにした。

- 5 なお、この高速電流スイッチ302の他の部分の構成は、図1に示す高速電流スイッチの構成と同一であるので、同一の構成要素には同一符号を付してその説明は省略する。

- 10 このような構成からなる第1実施形態では、発振器301から安定な発振周波数が得られる。また、高速電流スイッチ回路302は高速に動作できる。このため、第1実施形態では、レーザダイオードを高速で安定に駆動することができる。

- 15 なお、上記の第1実施形態では、高速電流スイッチ回路302として、図1に示す高速電流スイッチ回路を使用する場合について説明した。しかし、これに代えて、図2、図3、または図4に示す高速電流スイッチ回路のいずれかを使用するようにしても良い。さらに、図6に示す高周波電流源を使用するようにしても良い。

次に、本発明の高周波重畳回路の第2実施形態の構成について、図18を参照して説明する。

- 20 この高周波重畳回路の第2実施形態は、図18に示すように、発振器401と、この発振器401の出力電圧に基づいて出力電流がスイッチング制御される高速電流スイッチ回路402とからなる。そして、その高速電流スイッチ回路402にレーザダイオード（図示せず）が接続され、レーザダイオードに流れる電流が制御されるようになっている。

- 25 発振器401は、一般的な発振器、または図17に示す発振器301と同様の発振器のいずれでも良い。

高速電流スイッチ回路402は、図8に示すオーバシュートを低減し

WO 02/51009

PCT/JP01/11292

た高速電流スイッチ回路を使用している。そして、その入力端子 101 に、発振器 401 の出力電圧を印加するようにしている。

- 5 なお、この高速電流スイッチ 402 の構成は、図 8 に示す高速電流スイッチの構成と同一であるので、同一の構成要素には同一符号を付してその説明は省略する。

このような構成からなる第 2 実施形態では、高速電流スイッチ回路 402 が、出力電流の立ち上がり時間を速め、かつそのオーバシュートを抑えることができる。このため、第 2 実施形態では、レーザダイオードの動作の立ち上がりを速め、かつ安定に駆動することができる。

- 10 なお、上記の第 2 実施形態では、高速電流スイッチ回路 402 として、図 8 に示す高速電流スイッチ回路を使用する場合について説明した。しかし、これに代えて、図 11 に示す高速電流スイッチ回路を使用するようにしても良い。

15 産業上の利用可能性

以上述べたように、本発明の高速電流スイッチ回路によれば、出力トランジスタの入力電圧の制御を、ソースフォロアを利用して行うようにした。このため、その出力トランジスタに大電流を流すような場合であっても、それを高速でスイッチング動作させることができる。

- 20 また、本発明の高速電流スイッチ回路では、バイアス電圧発生回路を設けるとともに、このバイアス電圧発生回路に含まれるトランジスタと出力トランジスタとが、カレントミラー関係を有するようにした。従って、この場合には、出力トランジスタに流れる電流を、その両トランジスタのサイズ比により任意に設定することができる。

- 25 さらに、本発明の高速電流スイッチ回路では、バイアス電圧発生回路が発生バイアス電圧を安定化する安定化回路を含むようにした。従って

WO 02/51009

PCT/JP01/11292

、この場合には、ソースファロアがオンオフ動作する際に、そのバイアス電圧の変動を抑制することができる。

また、本発明の高周波電流源では、高速でスイッチング動作する電流供給型と電流吸入型の高速電流スイッチ回路を組み合わせるようにしたので、直流成分のない高周波電流を生成できる。

また、本発明の他の高速電流スイッチ回路では、出力電流の立ち上がり時間を速め、かつそのオーバシュートを抑えることができる。

さらに、本発明の発振器によれば、発振周波数を、コンデンサを充電する定電流値や、発振周波数を制御する電流または電圧を生成するときに必要な所定の基準値に基づいて決定できるようになり、これら各値は電源電圧や動作温度の変化の影響をできるだけ受けずに得ることができる。

このため、本発明の発振器によれば、発振周波数が電源電圧や動作温度の変化の影響を受けるのをできるだけ排除できるので、発振周波数の安定化、および発振精度の向上を図ることができる。

また、本発明の高周波重畳回路によれば、レーザダイオードを高速かつ安定に動作させることができる。

さらに、本発明の高周波重畳回路によれば、レーザダイオードの動作の立ち上がりを速め、かつ安定に駆動することができる。

WO 02/51009

PCT/JP01/11292

請 求 の 範 囲

1. 電流をスイッチングして出力する出力トランジスタと、
ソースフォロアで形成され、前記出力トランジスタをスイッチング制
御する制御回路とを備え、
前記ソースフォロアの出力端子を前記出力トランジスタの入力端子に
接続するとともに、前記ソースフォロアは第1のスイッチを介在して電
源に接続するようにしたことを特徴とする高速電流スイッチ回路。
2. 前記出力トランジスタの入力端子を接地状態または所定の電位状態
とする第2のスイッチを、前記入力端子に設けたことを特徴とする請求
の範囲第1項に記載の高速電流スイッチ回路。
3. 前記ソースフォロアの入力端子に供給する所定のバイアス電圧を発生
するバイアス電圧発生回路を、さらに備えたことを特徴とする請求の
範囲第1項または第2項に記載の高速電流スイッチ回路。
4. 前記バイアス電圧発生回路に含まれる所定のトランジスタと前記出力
トランジスタとが、カレントミラー関係を有するようにしたことを特
徴とする請求の範囲第3項に記載の高速電流スイッチ回路。
5. 前記バイアス電圧発生回路は、発生バイアス電圧を安定化する安定
化手段を含むようにしたことを特徴とする請求の範囲第3項または第4
項に記載の高速電流スイッチ回路。
6. 電流吸入型の高速電流スイッチ回路と、電流供給型の高速電流スイ
ッチ回路とを備え、外部からの制御信号により高周波電流を生成する高
周波電流源であって、
前記電流吸入型の高速電流スイッチ回路は、電流をスイッチングして
出力する第1の出力トランジスタと、第1のソースフォロアで形成され
、前記第1の出力トランジスタをスイッチング制御する第1の制御回路

WO 02/51009

PCT/JP01/11292

とを備え、前記第 1 のソースフォロアの実出力端子を前記第 1 の出力トランジスタの入力端子に接続するとともに、前記第 1 のソースフォロアは第 1 のスイッチを介在して電源電圧を供給するように構成し、

前記電流供給型の高速度電流スイッチ回路は、電流をスイッチングして
5 出力する第 2 の出力トランジスタと、第 2 のソースフォロアで形成され、前記第 2 の出力トランジスタをスイッチング制御する第 2 の制御回路とを備え、前記第 2 のソースフォロアの実出力端子を前記第 2 の出力トランジスタの入力端子に接続するとともに、前記第 2 のソースフォロアは第 2 のスイッチを介在して接地するように構成したことを特徴とする高
10 周波電流源。

7. 外部から電流を設定する電流設定回路と、

この電流設定回路で設定される設定電流の電流経路を、入力信号に応じて第 1 の電流経路と第 2 の電流経路に切り換える切替回路と、

第 1 の電流経路に流れる設定電流に対して所定の電流比の出力電流を
15 取り出すとともに、その一部に帰還回路を含む電流ミラー回路と、

前記帰還回路の位相余裕を調整して前記電流ミラー回路の出力電流の立ち上がり最適化する出力電流最適化回路と、

を備えたことを特徴とする高速度電流スイッチ回路。

8. 外部から電流を設定する電流設定回路と、

20 この電流設定回路で設定される設定電流の電流経路を、入力信号に応じて第 1 の電流経路と第 2 の電流経路とに選択的に切り換える第 1 および第 2 のトランジスタを含む切替回路と、

前記第 1 のトランジスタに対して直列接続される第 3 のトランジスタと、この第 3 のトランジスタを駆動する第 1 のソースフォロアと、前記
25 第 3 のトランジスタとカレントミラーの関係を形成して所望の出力電流を取り出す第 4 のトランジスタと、この第 4 のトランジスタを前記第 1

WO 02/51009

PCT/JP01/11292

- のソースフォロアと同一条件で駆動する第 2 のソースフォロアとを含み、前記第 3 のトランジスタと前記第 1 のソースフォロアとの間で帰還回路を形成するとともに、前記第 1 および第 2 のソースフォロアを前記第 3 のトランジスタの出力に応じて駆動するようにした電流ミラー回路と、
- 5 、
- 前記帰還回路の位相余裕を調整して前記電流ミラー回路の出力電流の立ち上がりを最適化する出力電流最適化回路と、
- を備えたことを特徴とする高速電流スイッチ回路。
9. 前記出力電流最適化回路は、
- 10 前記第 1 のソースフォロアの出力側と前記第 2 のソースフォロアの出力側との間に接続し、低抵抗と高抵抗との切り換えが自在な可変抵抗素子と、
- 前記第 4 のトランジスタの出力電流の立ち上がり時に、その出力電流を所定値と比較し、出力電流が所定値を上回った場合に、前記可変抵抗素子を低抵抗から高抵抗に切り換える比較手段と、
- 15 前記第 4 のトランジスタの出力電流の立ち下がり時に、前記可変抵抗素子を高抵抗から低抵抗に切り換える初期化手段と、
- からなることを特徴とする請求の範囲第 8 項に記載の高速電流スイッチ回路。
- 20 10. 前記可変抵抗素子は、MOS トランジスタからなることを特徴とする請求の範囲第 9 項に記載の高速電流スイッチ回路。
11. 前記出力電流最適化回路は、前記第 1 のソースフォロアの出力側と前記第 2 のソースフォロアの出力側との間に、所定の抵抗値からなる抵抗素子を接続するようにしたことを特徴とする請求の範囲第 8 項に記載の高速電流スイッチ回路。
- 25 12. 前記抵抗素子は、ポリシリコンからなることを特徴とする請求の

WO 02/51009

PCT/JP01/11292

範囲第 11 項に記載の高速電流スイッチ回路。

13. 外部からの電流または電圧に基づいて発振周波数が制御される発振手段と、

定電流源回路と、

- 5 前記発振手段の発振出力に基づいて前記定電流源回路からの定電流によりコンデンサを充電する充電手段と、

前記コンデンサの充電電荷と所定の基準値とに基づいて前記発振手段の発振周波数を制御する前記電流または電圧を生成する制御手段と、

を備えたことを特徴とする発振器。

- 10 14. 前記定電流源回路は、バンドギャップ電圧に基づいて前記定電流を生成するようになっていることを特徴とする請求の範囲第 13 項に記載の発振器。

- 15 15. 前記制御手段は、演算増幅器と積分用コンデンサとからなる積分器を含み、前記積分器は、前記コンデンサの充電電圧と所定の基準電圧とに基づいて積分を行うとともに、その積分出力に基づいて前記発振手段の発振周波数を制御する前記電流または電圧を生成するようになっていることを特徴とする請求の範囲第 13 項または第 14 項に記載の発振器。

- 20 16. 前記発振手段は電流制御発振器であり、かつ、前記制御手段は前記積分器の出力を電流に変換する電圧－電流変換回路を含み、この電圧－電流変換回路の出力電流を前記電流制御発振器に供給するようになっていることを特徴とする請求の範囲第 15 項に記載の発振器。

- 25 17. 前記定電流源回路は、その生成する定電流を抵抗の値により可変自在に構成し、前記抵抗の値の可変に基づいて前記発振手段の発振周波数を可変するようになっていることを特徴とする請求の範囲第 13 項乃至第 16 項のいずれかに記載の発振器。

WO 02/51009

PCT/JP01/11292

- 1 8. 前記発振手段の発振出力を分周する分周器を、前記発振手段と前記制御手段との間に介在するようにしたことを特徴とする請求の範囲第 1 3 項乃至第 1 7 項のいずれかに記載の発振器。
- 1 9. 前記分周器は、その分周比を可変自在に構成し、前記分周比に基づいて発振周波数を可変にするようになっていることを特徴とする請求の範囲第 1 8 項に記載の発振器。
- 2 0. 発振器と、この発振器の発振出力に基づいて出力電流を高速にスイッチングする高速電流スイッチ回路と、を備えた高周波重畳回路であって、
- 10 前記高速電流スイッチ回路は、電流をスイッチングして出力する出力トランジスタと、ソースフォロアで形成され、前記出力トランジスタをスイッチング制御する制御回路とを備え、
- 前記ソースフォロアの出力端子を前記出力トランジスタの入力端子に接続するとともに、前記ソースフォロアはスイッチを介在して電源に接
- 15 続するようにしたことを特徴とする高周波重畳回路。
- 2 1. 前記発振器は、
- 外部からの電流または電圧に基づいて発振周波数が制御される発振手段と、
- 定電流源回路と、
- 20 前記発振手段の発振出力に基づいて前記定電流源回路からの定電流によりコンデンサを充電する充電手段と、
- 前記コンデンサの充電電荷と所定の基準値とに基づいて前記発振手段の発振周波数を制御する前記電流または電圧を生成する制御手段と、
- を備えていることを特徴とする請求の範囲第 2 0 項に記載の高周波重
- 25 畳回路。
- 2 2. 発振器と、この発振器の発振出力に基づいて出力電流を高速にス

WO 02/51009

PCT/JP01/11292

イッチングする高速電流スイッチ回路と、を備えた高周波重畳回路であ
って、

前記高速電流スイッチ回路は、

外部から電流を設定する電流設定回路と、

- 5 この電流設定回路で設定される設定電流の電流経路を、入力信号に応
じて第 1 の電流経路と第 2 の電流経路に切り換える切換回路と、

第 1 の電流経路に流れる設定電流に対して所定の電流比の出力電流を
取り出すとともに、その一部に帰還回路を含む電流ミラー回路と、

- 10 前記帰還回路の位相余裕を調整して前記電流ミラー回路の出力電流の
立ち上がりを最適化する出力電流最適化回路と、
を備えたことを特徴とする高周波重畳回路。

PCT/JP01/11292

The circuit diagram shows a differential amplifier with a current mirror load. A differential pair of NMOS transistors, Q11 and Q12, has their sources connected to ground. Their gates are connected to a common gate voltage Vg. The drain of Q11 is connected to a PMOS load transistor Q21, whose source is also connected to ground. The drain of Q12 is connected to a PMOS load transistor Q22, whose source is connected to ground. A current source I3 is connected between a supply voltage 13 and the gates of Q23 and Q24. The gates of Q23 and Q24 are connected to a common gate voltage Vb. The drains of Q23 and Q24 are connected to the gates of Q11 and Q12, respectively. The output current Iout is taken from the drain of Q21. The circuit is divided into two main sections by a dashed line 11A, with a supply voltage 13 connected to the top of the first section.

WO 02/51009

2/15

PCT/JP01/11292

図 3

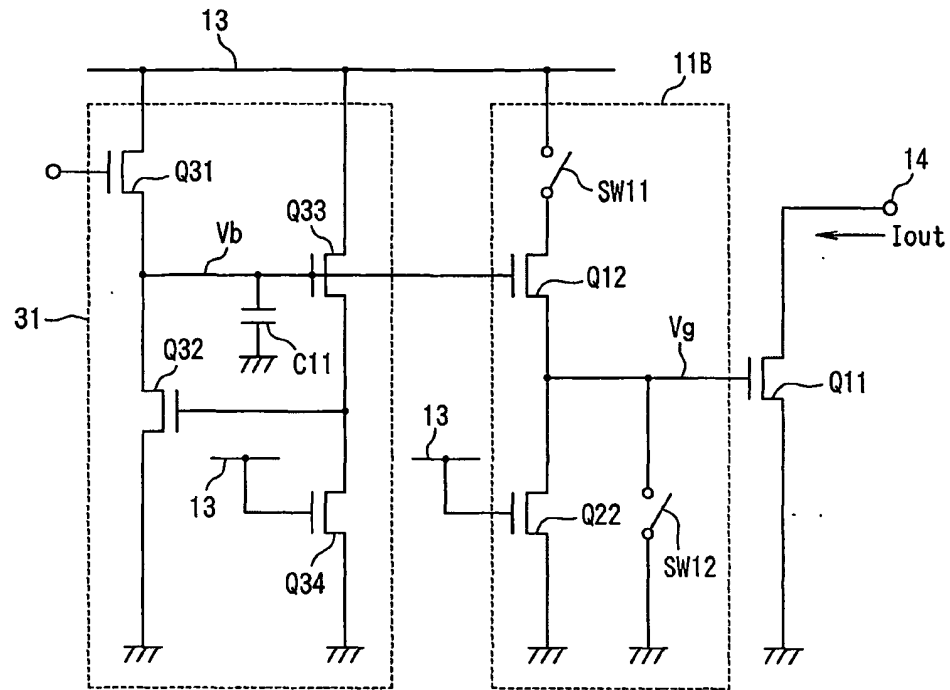
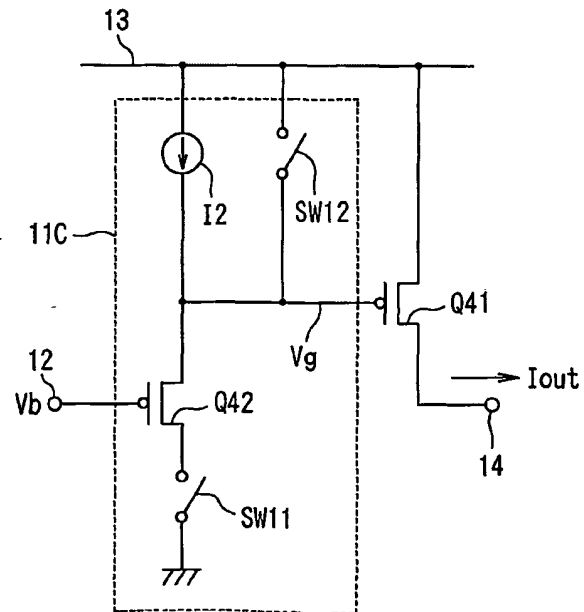


图 4



WO 02/51009

3/15

PCT/JP01/11292

図 5

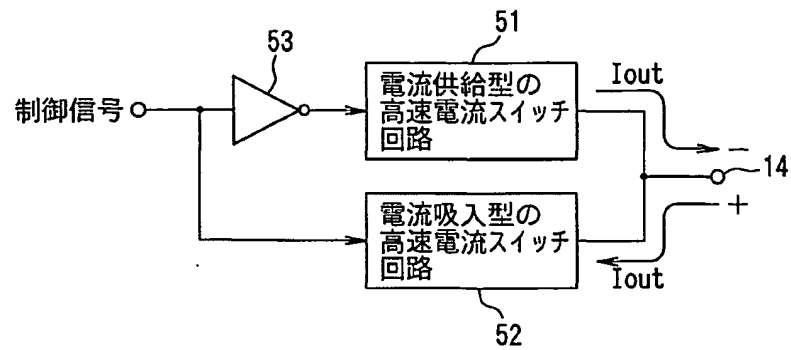
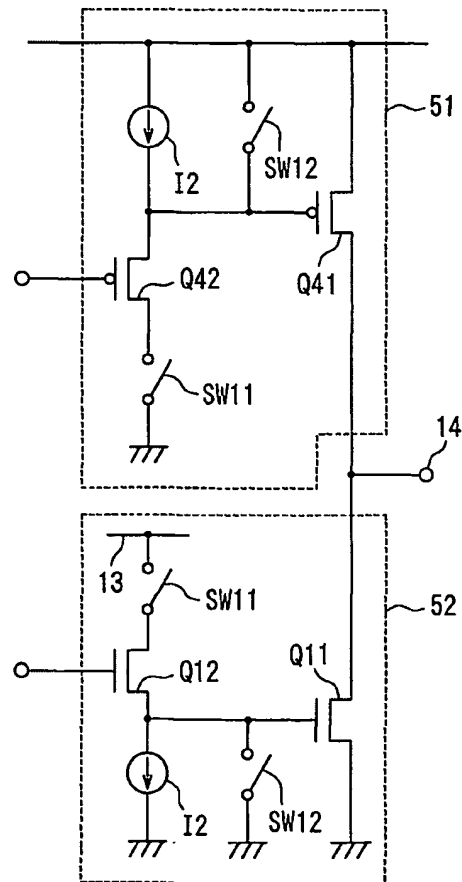


図 6

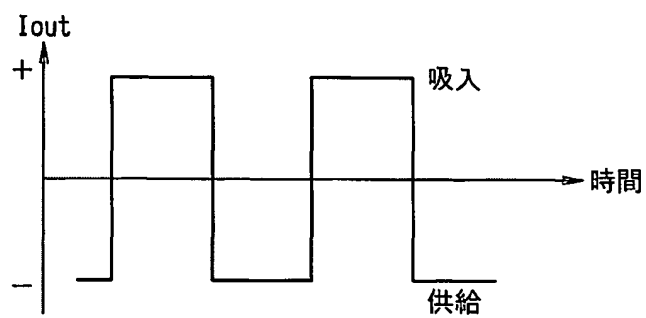


WO 02/51009

4/15

PCT/JP01/11292

図 7



PCT/JP01/11292

[illegible]

WO 02/51009

6/15

PCT/JP01/11292

図 9

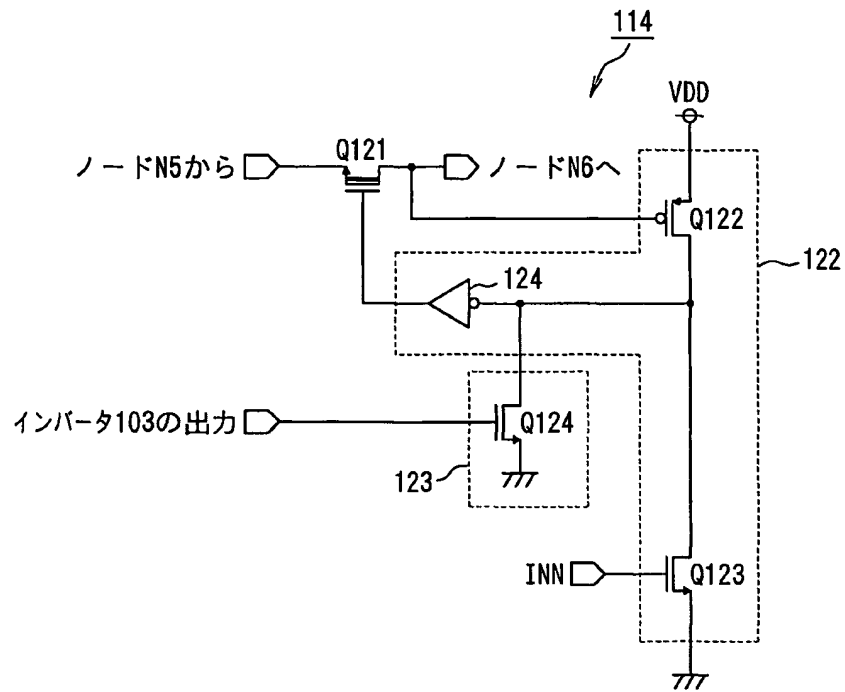
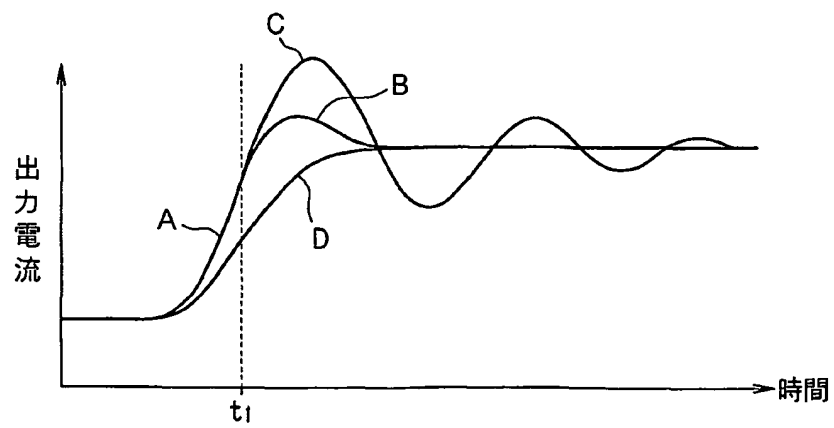


図10



WO 02/51009

8/15

PCT/JP01/11292

図12

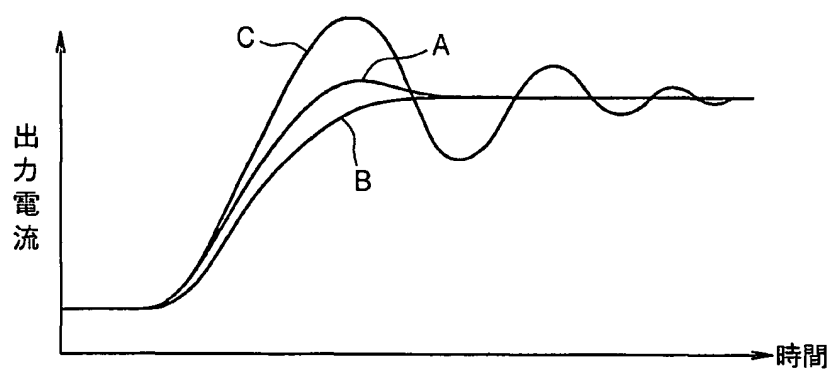


図13

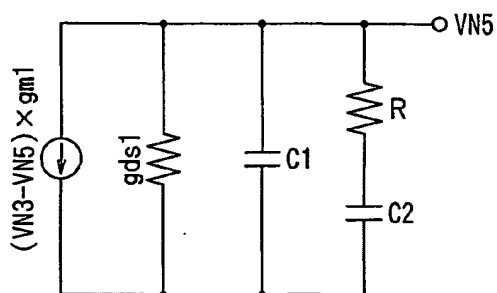
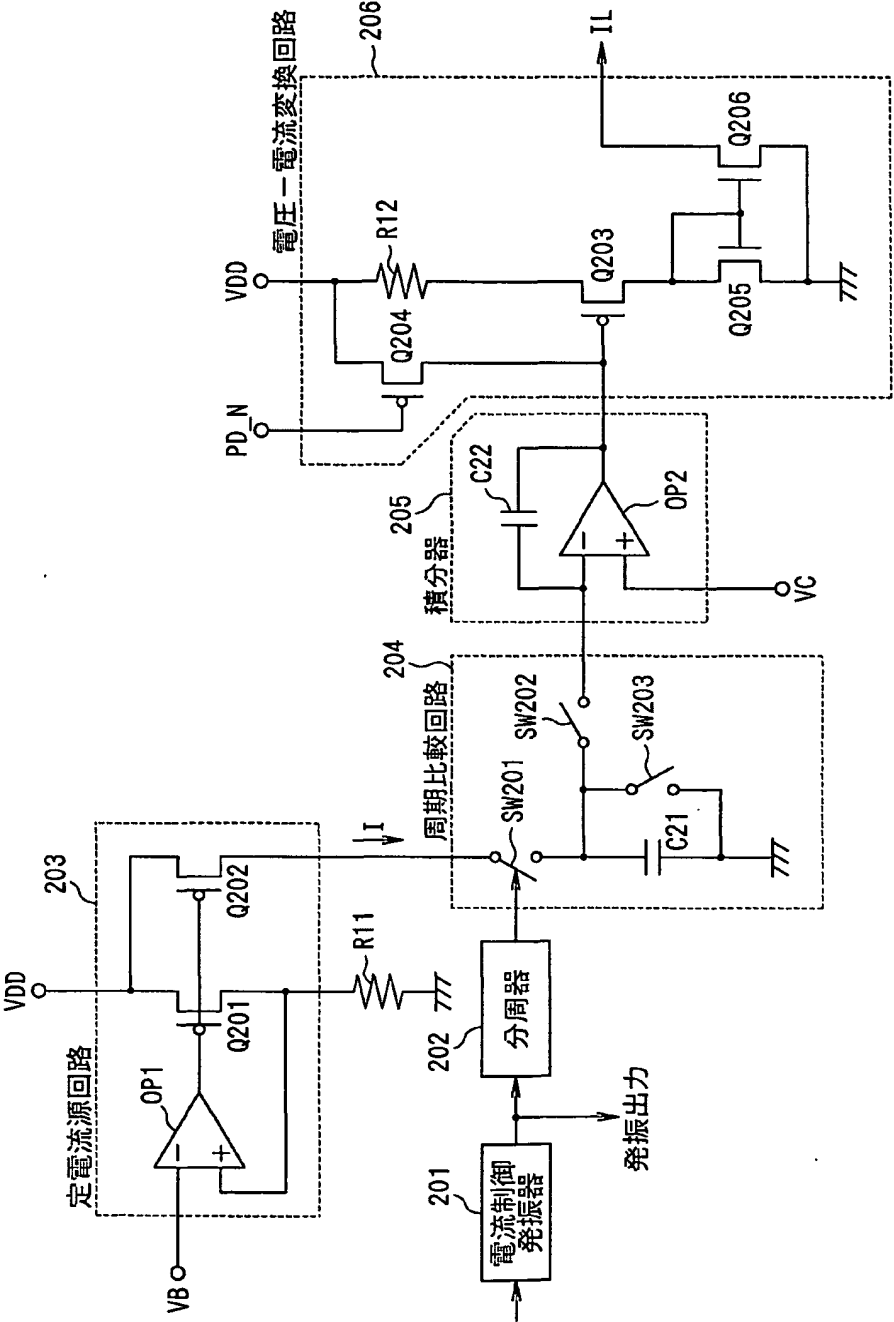


図14



WO 02/51009

10/15

PCT/JP01/11292

图15

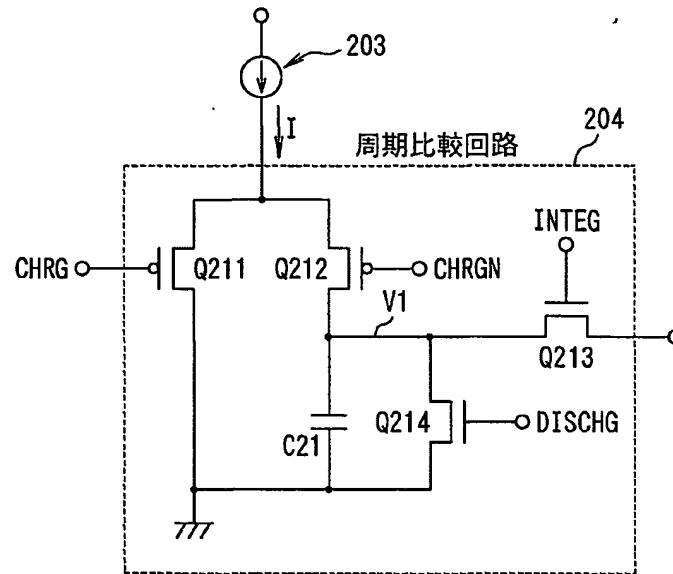


图16

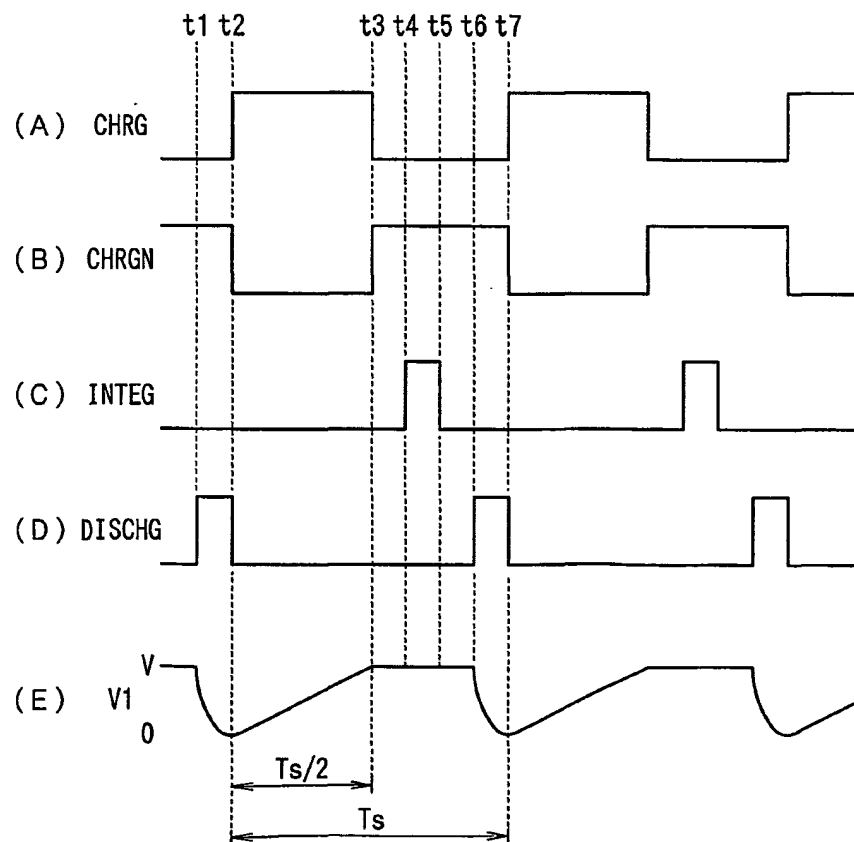
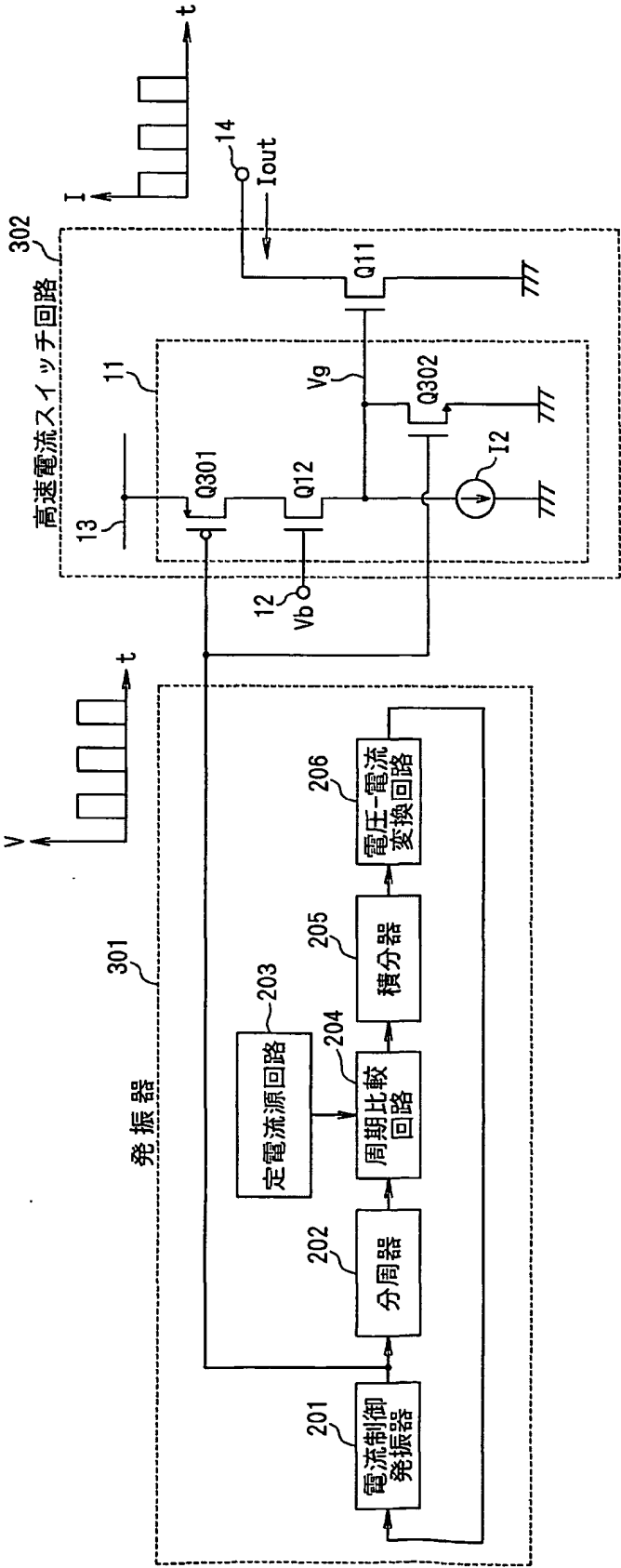


図17



WO 02/51009

13/15

PCT/JP01/11292

図19

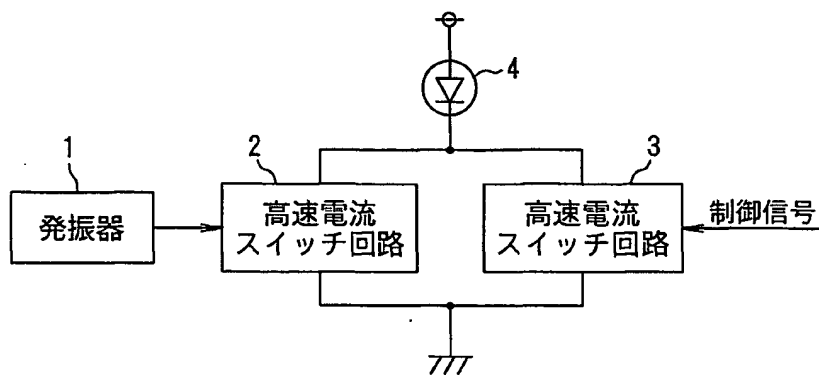
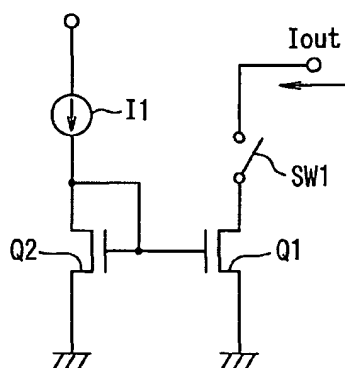


図20



WO 02/51009

14/15

PCT/JP01/11292

図21

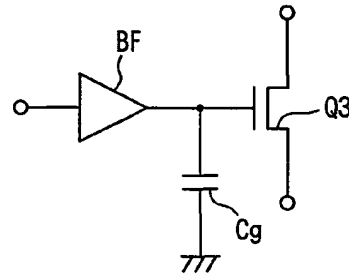
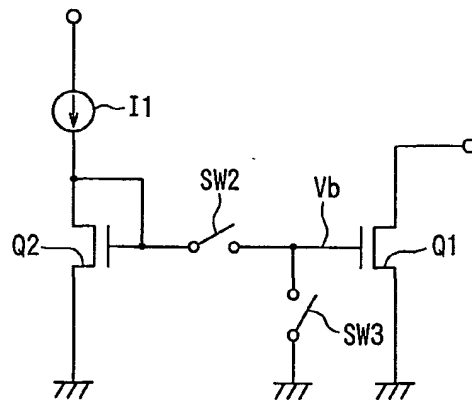


図22



WO 02/51009

15/15

PCT/JP01/11292

図23

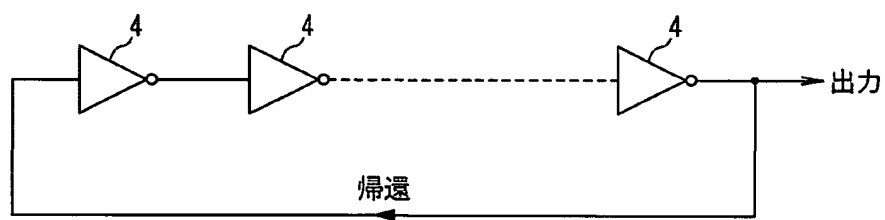
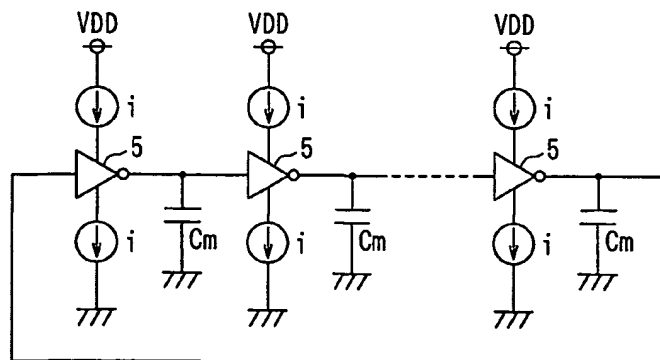


図24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11292

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H03K17/04, G11B7/125 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H03K17/04, G11B7/125 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho(Y1,Y2) 1926-1996 Toroku Jitsuyo Shinan Koho(U) 1994-2001 Kokai Jitsuyo Shinan Koho(U) 1971-2001 Jitsuyo Shinan Toroku Koho(Y2) 1996-2001 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 8-56147, A (SGS-Thomson Microelectronics S.r.l.), 27 February, 1996 (27.02.96), & DE 69412788 C & EP 678983 A1 & US 5623216 A1	1-12, 20-22
A	JP, 8-279738, A (Hewlett-Packard Co.), 22 October, 1996 (22.10.96), & DE 69521028 D & EP 735676 A1 & US 5781045 A	1-12, 20-22
A	JP, 4-196329, A (Hitachi, Ltd.), 16 July, 1992 (16.07.92), & US 5220587 A1 & KR 9616214 B	1-12, 20-22
A	JP, 5-300000, A (Mitsubishi Electric Corp.), 12 November, 1993 (12.11.93), (Family: none)	1-12, 20-22
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 April, 2002 (05.04.02)		Date of mailing of the international search report 16 April, 2002 (16.04.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11292

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2000-278105, A (NEC Corp.), 06 October, 2000 (06.10.00), (Family: none)	13-22
A	JP, 6-85622, A (Fujitsu Ltd.), 25 March, 1994 (25.03.94), (Family: none)	13-22
A	JP, 10-510964, A (David Sarnoff Research Center, Inc.), 20 October, 1998 (20.10.98), & EP 797870 A & US 5497127 A & WO 96/019041 A1	13-22

国際調査報告		国際出願番号 PCT/JP01/11292	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03K17/04, G11B7/125			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03K17/04, G11B7/125			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 (Y1, Y2) 1926-1996年 日本国公開実用新案公報 (U) 1971-2001年 日本国登録実用新案公報 (U) 1994-2001年 日本国実用新案登録公報 (Y2) 1996-2001年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 8-56147 A(エスジーエーストムソン マイクロエレクトロニクス エッセ エッレ エーレ)1996.02.27 & DE 69412788 C & EP 678983 A1 & US 5623216 A1	1-12, 20-22	
A	JP 8-279738 A(ヒューレット・パッカード・カンパニー)1996.10.22 & DE 69521028 D & EP 735676 A1 & US 5781045 A	1-12, 20-22	
A	JP 4-196329 A(株式会社日立製作所)1992.07.16 & US 5220587 A1 & KR 9616214 B	1-12, 20-22	
A	JP 5-300000 A(三菱電機株式会社)1993.11.12(ファミリーなし)	1-12, 20-22	
A	JP 2000-278105 A(日本電気株式会社)2000.10.06(ファミリーなし)	13-22	
A	JP 6-85622 A(富士通株式会社)1994.03.25(ファミリーなし)	13-22	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 05.04.02		国際調査報告の発送日 16.04.02	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 江嶋 清仁 電話番号 03-3581-1101 内線 3556	

国際調査報告

国際出願番号 PCT/JP01/11292

C (続き) : 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-510964 A(デイヴィッド サーフ リサーチ センター, インコーポレイテッド)1998. 10. 20 & EP 797870 A & US 5497127 A & WO 96/019041 A1	13-22